

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-097691

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

H01L 29/786

H01L 21/336

(21)Application number : 09-253056

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 18.09.1997

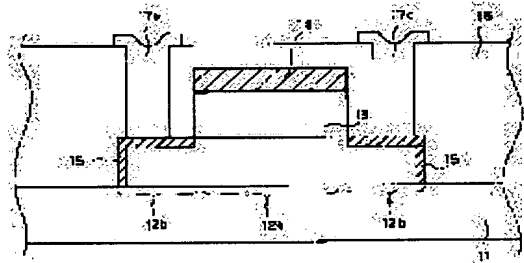
(72)Inventor : UCHIKOGA SHIYUICHI
HIRAMATSU MASAHIITO
ISHIZUKA YOSHIKI
MIZUTANI YOSHIHISA
SUZUKI KOJI

(54) THIN-FILM TRANSISTOR AND JUNCTION STRUCTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To lower process temperature for enhancing productivity by arranging an insulated gate film to cover a first region of a semiconductor film, then arranging a gate electrode to a region so as to face opposite the first region of the semiconductor film and then arranging a silicide layer to cover the side surface in an insulated gate film side and end surface of a second region.

SOLUTION: A thin-film transistor is of a MOSFET structure and is composed of a substrate 11 and an intrinsic polycrystalline silicon arranged on the substrate. A semiconductor film has a first region 12a and a second region 12b sandwiching the first region 12a, and an insulated gate film 13 is arranged so as to cover a first region 12a of the semiconductor film. A gate electrode 14 is arranged to face opposite the first region 12a of the semiconductor film via the insulated gate film 13, and a silicide layer 15 is arranged to cover the surface in the insulated gate film 13 side and the end surface of the second region 12b of the semiconductor film. Thereby, manufacturing process temperature can be lowered and manufacturing cost can also be reduced.



LEGAL STATUS

[Date of request for examination] 04.09.2000

[Date of sending the examiner's decision of rejection] 10.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 1 1 - 9 7 6 9 1

(43) 公開日 平成 1 1 年 (1 9 9 9) 4 月 9 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H01L 29/786			H01L 29/78	616 S
21/336				616 A
				616 M
				617 A
				627 F
審査請求 未請求 請求項の数 6 O L (全 2 7 頁)				

(21) 出願番号 特願平 9 - 2 5 3 0 5 6

(22) 出願日 平成 9 年 (1 9 9 7) 9 月 1 8 日

(71) 出願人 0 0 0 0 0 3 0 7 8

株式会社東芝

神奈川県川崎市幸区堀川町 7 2 番地

(72) 発明者 内古閑 修一

神奈川県横浜市磯子区新磯子町 3 3 株式
会社東芝生産技術研究所内

(72) 発明者 平松 雅人

神奈川県横浜市磯子区新磯子町 3 3 株式
会社東芝生産技術研究所内

(72) 発明者 石塚 芳樹

神奈川県横浜市磯子区新磯子町 3 3 株式
会社東芝生産技術研究所内

(74) 代理人 弁理士 須山 佐一

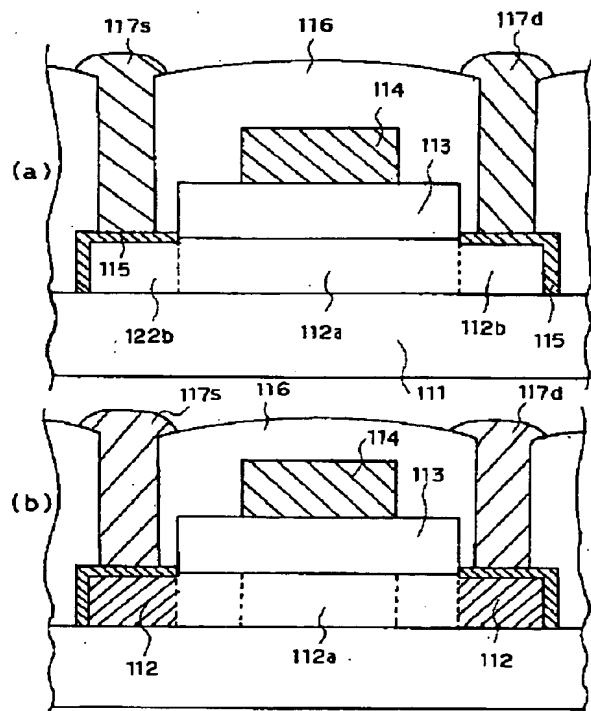
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタおよび接合構造

(57) 【要約】

【課題】 製造プロセスの低温化が可能で生産性の高い構造を有する poly-Si 半導体膜を用いた薄膜トランジスタを提供する。

【解決手段】 本発明の薄膜トランジスタは、少なくとも表面が絶縁性を呈する基板 111 と、基板 111 上に配設されたイントリンシックな多結晶質シリコンからなり、第 1 の領域 112a と、第 1 の領域 112a を挟むような第 2 の領域 112b とを有する半導体膜 112 と、半導体膜 112 の第 1 の領域 112a を覆うように配設されたゲート絶縁膜 113 と、ゲート絶縁膜 113 を介して半導体膜 112 の第 1 の領域 112a と対向するように配設されたゲート電極 114 と、半導体膜 112 の第 2 の領域 112b のゲート絶縁膜 113 側の面と端面とを覆うように配設されたシリサイド層 115 と、シリサイド層 115 を介して半導体膜 112 と接合したソース電極 117s、ドレイン電極 117d とを具備する。このような構造により、半導体膜への不純物の添加、活性化が不要もしくは低濃度かつ低温で済み、生産性を向上することができる。



【特許請求の範囲】

【請求項 1】 イントリンシックな多結晶質シリコンからなり、第 1 の領域と、前記第 1 の領域を挟むような第 2 の領域とを有する半導体膜と、前記半導体膜の前記第 1 の領域を覆うように配設されたゲート絶縁膜と、

前記ゲート絶縁膜を介して前記半導体膜の前記第 1 の領域と対向するように配設されたゲート電極と、前記半導体膜の前記第 2 の領域の前記ゲート絶縁膜側の面と端面とを覆うように配設されたシリサイド層とを具備したことを特徴とする薄膜トランジスタ。

【請求項 2】 イントリンシックな多結晶質シリコンからなる第 1 の領域および前記第 1 の領域を挟むように配設された第 2 の領域と、不純物が添加された前記多結晶質シリコンからなり、前記第 2 の領域の外側から前記第 1 の領域を挟むように配設された第 3 の領域とを有する半導体膜と、

前記半導体膜の前記第 1 の領域および前記第 2 の領域上に配設されたゲート絶縁膜と、

前記ゲート絶縁膜上を介して前記半導体膜の前記第 1 の領域と対向するように配設されたゲート電極と、前記半導体膜の前記第 3 の領域の前記ゲート絶縁膜側の面と端面とを覆うように配設されたシリサイド層とを具備したことを特徴とする薄膜トランジスタ。

【請求項 3】 イントリンシックな多結晶質シリコンからなる第 1 の領域と、第 1 の濃度で不純物が添加された前記多結晶質シリコンからなり、前記第 1 の領域を挟むように配設された第 2 の領域と、前記第 1 の濃度よりも大きい第 2 の濃度で前記不純物が添加された前記多結晶質シリコンからなり、前記第 2 の領域の外側から前記第 1 の領域を挟むような第 3 の領域とを有する半導体膜と、

前記半導体膜の前記第 1 の領域および前記第 2 の領域上に配設されたゲート絶縁膜と、

前記ゲート絶縁膜上を介して前記半導体膜の前記第 1 の領域と対向するように配設されたゲート電極と、

前記半導体膜の前記第 2 の領域および前記第 3 の領域の前記ゲート絶縁膜側の面と端面とを覆うように配設されたシリサイド層とを具備したことを特徴とする薄膜トランジスタ。

【請求項 4】 約 $1 \times 10^{16} \text{ cm}^{-3}$ ~ 約 $5 \times 10^{17} \text{ cm}^{-3}$ の不純物が添加された多結晶質シリコンからなり、第 1 の領域と、前記第 1 の領域を挟むような第 2 の領域とを有する半導体膜と、

前記半導体膜上を覆うように配設され、前記半導体膜の第 2 の領域に開口部を有するゲート絶縁膜と、

前記ゲート絶縁膜を介して前記半導体膜の前記第 1 の領域と対向するように配設されたゲート電極と、

前記半導体膜の前記第 2 の領域の前記ゲート絶縁膜の開口部に対応する領域に配設されたシリサイド層と、

前記シリサイド層を介して前記半導体膜と接合したソース・ドレイン電極とを具備したことを特徴とする薄膜トランジスタ。

【請求項 5】 イントリンシックな多結晶質シリコンからなる半導体膜と、

前記半導体膜上に配設されたシリサイド層とを具備したことを特徴とする接合構造。

【請求項 6】 イントリンシックな多結晶質シリコンからなる第 1 の層と、前記第 1 の層上に配設され p 型不純物または n 型不純物が添加された前記多結晶質シリコンからなる第 2 の層とを有する半導体膜と、前記半導体膜の前記第 2 の層上に配設され、前記 p 型不純物または前記 n 型不純物が添加されたシリサイド層とを具備したことを特徴とする接合構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタに関し、特に多結晶シリコンをチャネル部に用いた薄膜トランジスタおよびその製造方法に関する。また本発明は半導体と電極との接合構造に関し、特に多結晶シリコンからなる半導体と電極との接合構造に関する。

【0002】

【従来の技術】半導体素子は、薄膜トランジスタ (TFT: Thin Film Transistor)、密着センサ、光電変換素子をはじめとして様々な分野で大量に用いられている。

【0003】例えば液晶表示装置等の表示装置は薄型・軽量であり、低電圧駆動が可能で、さらにカラー表示も容易である等の特徴を有しており、近年、パーソナルコンピュータ、ワードプロセッサ、あるいは各種携帯用情報端末の表示装置として幅広く用いられている。そして液晶表示装置の画素部、駆動回路部のスイッチング素子としては MOS (MIS) 電界効果トランジスタなどの薄膜トランジスタが広く用いられている。

【0004】シリコンからなる半導体膜をチャネルに用いた薄膜トランジスタを、キャリア走行層 (活性層) の構成材料から分類すると、非晶質シリコン (アモルファスシリコン: a-Si) からなる半導体膜を用いたものと、結晶相を有する多結晶質シリコン (非単結晶の結晶質シリコン) からなる半導体膜を用いたものとに分類することができる。多結晶質シリコンとしては主として多結晶シリコン (poly-Si)、または微結晶シリコン (μ c-Si) が知られている。さらに薄膜トランジスタのチャネル半導体膜の材料としては、シリコン以外にも例えば、SiGe、SiO、CdSe、Te、CdS 等が用いられている。

【0005】poly-Si あるいは μ c-Si などの多結晶質シリコン (非単結晶の結晶質シリコン) からなる半導体は、アモルファスシリコンからなる半導体と比較してキャリアの移動度が 10 倍から 100 倍程度大き

いという特徴があり、スイッチング素子の構成材料として非常に優れた特性を有している。また多結晶質シリコンを活性層に用いた薄膜トランジスタは高速動作が可能ことから、近年では各種論理回路（例えばドミノ論理、CMOSトランスマッションゲート回路）やこれらを用いたマルチプレクサ、EPROM、EEPROM、CCD、RAM、さらに液晶表示装置、エレクトロルミネセンス表示装置等の駆動回路などを構成するスイッチング素子としても注目されている。特に、液晶表示装置においては、画素部（画素アレイ）と、走査線信号回路や信号線駆動回路などの周辺駆動回路とを同一の基板上に形成する、いわゆる画素部・駆動回路部一体型の液晶表示装置の研究・開発も精力的に行われている。このような画素部・駆動回路部一体型の液晶表示装置の画素のスイッチング素子、周辺駆動回路のスイッチング素子としては poly-Si 、 $\mu\text{-Si}$ などの多結晶質シリコンからなる半導体膜をチャンネルに用いた薄膜トランジスタを用いることにより、液晶表示装置の性能を向上するとともに生産性も向上することができる。

【0006】その反面、多結晶質シリコンを用いた薄膜トランジスタは、その形成プロセスにおいて非晶質シリコンを用いた薄膜トランジスタと比較して高温プロセスを必要とする。このように poly-Si 、 $\mu\text{-Si}$ などの多結晶質シリコンからなる半導体膜をチャンネルに用いた薄膜トランジスタは優れた特性を有するが、このような半導体素子を高い生産性で広く用いるためには解決しなければならない問題点が残されている。特に、多結晶質シリコンを用いた薄膜トランジスタ、あるいはこの薄膜トランジスタを用いた液晶表示装置を製造するためには、製造プロセスの低温化が重要な課題である。

【0007】例えば液晶表示装置では、ガラスなどからなる基板を用いるために、高温プロセスは基板の変形を発生させる原因となる。基板が変形してしまうと薄膜トランジスタのアレイ工程等でアライメントミスが多発し、生産性を大きく低下させてしまう。したがって歪みの高い基板材料を用いる必要があるが、このような基板は高価であり、液晶表示装置のコストが高くなってしまいうという問題がある。このように、多結晶質シリコンを用いた薄膜トランジスタを用いた液晶表示装置を製造するためには製造プロセスの低温化を如何にして図るかが重要な課題となっている。

【0008】 poly-Si 、 $\mu\text{-Si}$ などの多結晶質シリコンからなる半導体膜をチャンネルに用いた薄膜トランジスタの代表的な作製プロセスは以下のようなものである。例えばガラスなどからなる絶縁性基板（例えばCorning社1737等）を用意し、この絶縁性基板上に例えば SiO_2 、等からなるアンダーコート層（バッファ層）を成膜し、さらにその上に膜厚約50nm程度の a-Si 半導体膜を成膜する。次に、 a-Si 半導体膜中の脱水素処理を行い、続いてエキシマ・レーザー

・アニール法（ELA法）等により a-Si 半導体膜の熔融再結晶化を行って p-Si 半導体膜に形成する。

p-Si 半導体膜を薄膜トランジスタの形状にパターンニングした後、 SiO_2 、 SiN 、等からなる厚さ約100nm程度のゲート絶縁膜を成膜する。ゲート絶縁膜上にゲート電極を配設した後、ゲート絶縁膜上から p-Si 半導体膜のソース領域およびドレイン領域に n 型不純物あるいは p 型不純物をイオン・ドーピング法（ I/D 法）などにより添加する。ついで、 SiO_2 、等により層間絶縁膜（膜厚は500nm程度）を形成する。層間絶縁膜を形成した後、例えば約600℃程度の熱アニールなどの方法により半導体膜のソース領域、ドレイン領域の不純物の活性化を行う。

【0009】この後、層間絶縁膜のソース領域・ドレイン領域に対応する位置にコンタクト・ホールを形成し、この上から信号線金属を堆積してソース領域、ドレイン領域と接合したソース電極、ドレイン電極を引き出す。最後に信号線金属をパターンニングすることにより薄膜トランジスタが完成する。

20 【0010】このように多結晶シリコン膜は、非晶質シリコン材料をスタート材料として例えばELA法（エキシマレーザーアニール法）によって再結晶化することにより形成される。ELA法では、レーザーが照射された領域でレーザー波長を吸収する非晶質シリコンのみが瞬時熔融して再結晶化するために、基板全体が昇温することはない。また、薄膜トランジスタのゲート電極やソース電極、ドレイン電極の形成は、例えばスパッタ法、蒸着法などにより形成すればほとんど基板の昇温は起こらない。さらにゲート絶縁膜も高密度プラズマ化学気相堆積法を用いることなどにより低温化を図ることができる。

30 【0011】ところが、半導体膜に不純物を添加した n^+ 半導体、 p^+ 半導体または n^- 半導体などを形成するためには、イオンドーピング法やイオン注入法により不純物を添加するだけでは不十分で、添加した不純物を活性化する必要がある。活性化を行うためには十分に温度を上昇させ、ドーピング時に発生した半導体膜の欠陥等を緩和させる必要がある。

40 【0012】このように従来の多結晶質シリコンを用いた薄膜トランジスタの製造プロセスの最高温度を決定しているのは、薄膜トランジスタのコンタクト領域を形成するプロセスである。特に半導体膜に添加したイオンなどの不純物の活性化工程の熱的負荷の軽減が、また不純物の添加工程での熱的負荷の軽減が大きな課題となることがわかる。

50 【0013】不純物の活性化の手法としては、自己活性化、熱活性化、ELA法により活性化等が検討されている。いずれの手法においても基板へのダメージを低減するとともに生産性を向上するためには、低ドーズ量で不純物を添加し、低温で活性化を行うことが求められてい

る。したがって、活性化工程でのプロセス・マージンは極端に狭いものとなっている。

【 0 0 1 4 】ソース領域・ドレイン領域の活性化が不十分な場合、ソース領域・ドレイン領域は高い抵抗値にとどまるため充分なON電流を得ることができず、したがって十分なスイッチング特性を得ることはできない。例えば、液晶表示装置の周辺駆動回路では十分に高い周波数で画像信号を画素へ送ることができなくなり、動画を表示することが困難になるなどの問題がある。このため不純物の活性化は十分に行う必要がある。

【 0 0 1 5 】プロセス温度を高くすれば、半導体膜に添加した不純物の活性化を効率よく進行させることができるが、より高温での活性化はより大きなダメージをガラス基板へ与えてしまうという問題がある。

【 0 0 1 6 】図 2 6 は非アニールガラスのシュリンク量を熱処理温度により評価した結果を示すグラフである。このグラフから、基板の収縮量を約 2 0 p p m 以下に抑制するためには、活性化プロセスを約 4 5 0 ° C 程度以下で行うことが必要であり、さらに基板の収縮量を約 1 0 p p m 以下に抑制するためには、活性化プロセスを約 4 0 0 ° C 程度以下で行う必要があることがわかる。ところが活性化温度を約 4 0 0 ° C とした場合、ドーブ層の抵抗が十分に低下しないという問題が生じる。

【 0 0 1 7 】図 2 7 は、薄膜トランジスタの特性の活性化プロセス温度への依存性を示す図である。ここでは活性化プロセスの温度を 4 0 0 ° C と 6 0 0 ° C とにして薄膜トランジスタを作成し、そのゲート電極とオン電流との関係を測定した結果を示している。図 2 8 は活性化温度と半導体膜のシート抵抗との関係を示すグラフである。ここでは 4 0 0 ° C 、 5 0 0 ° C 、 6 0 0 ° C のプロセス温度で各 1 時間活性化を行った場合の n' 半導体膜のソース・ドレイン間のシート抵抗値を測定した結果を示している。

【 0 0 1 8 】半導体膜に添加した不純物の活性化温度を 4 0 0 ° C にした場合、図 2 7 からわかるように、ソース・ドレインが直列抵抗として影響し、その結果見かけ上の移動度の低下を招いてしまう。このように例えば 4 0 0 ° C 程度のようなガラス基板、樹脂基板への負荷が小さい温度では十分な活性化を行うことは困難であることがわかる。

【 0 0 1 9 】このため従来の薄膜トランジスタでは、ガラス基板への熱的負荷を抑制するためには約 4 0 0 ° C 程度が活性化プロセス温度の上限であるが、この活性化温度では十分な活性化を行うことが困難であるという背反した問題があった。したがって、ガラス基板への熱的負荷を抑制できる温度範囲内でドーブ層つまりソース・ドレイン領域の抵抗を十分に下げる技術の確立が求められている。

【 0 0 2 0 】製造工程での熱的負荷を低減する上でもう一つ大きな問題となるのは、コンタクト領域を形成する

ために行う不純物の添加（ドーピング、注入）プロセスである。

【 0 0 2 1 】図 2 9 は多結晶シリコンからなる半導体膜をチャネル半導体膜として用いた従来の薄膜トランジスタの構造の例を概略的に示す断面図である。

【 0 0 2 2 】例えばガラスのような透光性絶縁物質からなる基板 9 0 1 上には、多結晶シリコンからなる半導体膜 9 0 2 が所定のパターンに形成されている。この半導体膜 9 0 2 は、チャネル領域 9 0 2 a と、n' 不純物が添加されたオーミックコンタクト層であるソース領域 9 0 2 s 、ドレイン領域 9 0 2 d を有しており、さらにチャネル領域とソース領域・ドレイン領域との間には、LDD (Lightly Doped Drain) 領域 9 0 2 c が形成されている。LDD 領域にはソース・ドレイン領域よりも低濃度の不純物が添加されている。半導体膜 9 0 2 のチャネル領域 9 0 2 a 、LDD 領域 9 0 2 c 上には、シリコン酸化物 (SiOx) からなるゲート絶縁膜 9 0 3 が配設されている。ゲート絶縁膜 9 0 3 上にはアルミニウムなどの電極材料をパターンニングして形成されたゲート電極 9 0 4 が配設されている。ゲート電極 9 0 4 上には、半導体膜 9 0 2 のソース領域 9 0 2 s ・ドレイン領域 9 0 2 d に対応してコンタクトホールが形成された層間絶縁膜 9 0 5 が配設されており、このコンタクトホールを介して半導体膜 9 0 2 のソース領域 9 0 2 s にはソース電極 9 0 6 s が、ドレイン領域 9 0 2 d にはドレイン電極 9 0 6 d がそれぞれ接続している。

【 0 0 2 3 】図 3 0 は従来の薄膜トランジスタの断面構造を概略的に示す図である。例えば液晶表示装置の駆動回路などの論理回路は、通常、CMOS を基本単位として形成されるので、n 型薄膜トランジスタ 9 1 1 と p 型薄膜トランジスタ 9 1 2 とを同一の基板上に作成する必要がある。n 型薄膜トランジスタ 9 1 1 の半導体膜 9 0 2 n には、チャネル領域 9 0 2 a と、P (リン) 等の n 型不純物が導入された n' 半導体からなるコンタクト領域 9 0 2 s 、9 0 2 d とが形成され、p 型薄膜トランジスタ 9 1 2 の半導体膜 9 0 2 p にはチャネル領域 9 0 2 a と、B (硼素) 等の不純物が導入された p' 半導体からなるコンタクト領域 9 0 2 e 、9 0 2 f が形成されている。さらに、図 3 0 の例では n 型薄膜トランジスタ 9 1 1 には、電界緩和を目的とした低濃度の n' 半導体からなる LDD 領域 9 0 2 c が形成されている。

【 0 0 2 4 】このように従来から、チャネル半導体膜とソース電極、ドレイン電極とを電気的接合するために、半導体膜に n 型不純物、p 型不純物などを比較的高い濃度で導入したオーミックコンタクト層を形成している。また、ソース電極、ドレイン電極間に例えば 1 0 V 程度以上の大きな電圧が印加される場合には、ソース・ドレイン間の耐圧を大きくするために LDD 領域と呼ばれる低不純物濃度層を形成している。この LDD 領域、コンタクト領域の形成には、不純物の打ち込み工程が少なく

とも2回必要であり生産性を低下させる大きな原因の1つとなっていた。

【0025】例えば、図29に例示した薄膜トランジスタでは、LDD領域には単位体積当たり約 $1 \times 10^{11} \text{ cm}^{-3}$ 程度の不純物が、コンタクト領域には約 $1 \times 10^{11} \text{ cm}^{-3}$ 程度の不純物が添加されており、不純物の単位体積あたりの濃度は約1000倍程度相違する。イオンの打ち込みなどの不純物の添加プロセスは、質量分離を行なうイオン注入法、質量分離を行なわないイオンドーピング法ともに、約数十keVのエネルギーを持ったイオンが半導体膜中に打ち込まれる。このとき半導体膜中でドーパントの運動エネルギーはほぼすべて熱エネルギーに変わる。したがって、不純物を半導体膜に添加する工程では、半導体膜、基板等の温度上昇が起こる。特に多量の不純物打ち込みを必要とするコンタクト領域の形成では基板にかかる熱的負荷は大きなものとなり、形成される薄膜トランジスタ、シフトレジスタなどの論理回路、液晶表示装置の品質を低下させることになる。基板の温度に影響が少ないようなイオン打ち込み条件、すなわち単位時間当たりに打ち込むイオンの量を減らして打ち込むと、不純物イオンの打ち込みに長時間かかってしまい生産性が低下してしまうという問題がある。

【0026】このように従来の多結晶シリコン用いた薄膜トランジスタでは、製造プロセスを低温化しようとする、薄膜トランジスタの特性が低下したり、生産性が低下するという問題がある。

【0027】また、コンタクト領域である n^+ 半導体層、 p^+ 半導体層等を形成するための不純物の活性化は、薄膜トランジスタの特性を大きく左右する。不純物の活性化にプロセス的な不安定要素があると、薄膜トランジスタに不安定性が反映されることになる。コンタクト部の抵抗にばらつきが発生すると、薄膜トランジスタの特性もばらつく。液晶表示装置に用いた場合、そのばらつきは表示の不均一につながり、良好な表示を得ることができないという問題がある。

【0028】

【発明が解決しようとする課題】本発明はこのような問題点を解決するためになされたものである。すなわち、本発明は製造プロセスにおけるプロセス温度が低く、生産性の高い薄膜トランジスタを提供することを目的とする。また本発明はガラス基板、樹脂基板のような耐熱性の小さな基板上に形成できる薄膜トランジスタを提供することを目的とする。

【0029】また本発明は、多結晶質シリコンからなる半導体膜と電極との間を簡素な構成で接合できる接合構造を提供することを目的とする。

【0030】

【課題を解決するための手段】このような課題を解決するため本発明は以下のような構成を備えている。請求項1に記載の本発明の薄膜トランジスタは、イントリンシ

ックな多結晶質シリコンからなり、第1の領域と、前記第1の領域を挟むような第2の領域とを有する半導体膜と、前記半導体膜の前記第1の領域を覆うように配設されたゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体膜の前記第1の領域と対向するように配設されたゲート電極と、前記半導体膜の前記第2の領域の前記ゲート絶縁膜側の面と端面とを覆うように配設されたシリサイド層とを具備したことを特徴とする。本発明者らはイントリンシックな多結晶質シリコンからなる半導体膜、あるいは低濃度の不純物が添加された多結晶質シリコンからなる半導体膜とシリサイド層とによりショットキー型の接合構造を形成できることを見出した。すなわちこの薄膜トランジスタは n 型不純物、あるいは p 不純物が添加され活性化されたいわゆるコンタクト領域（ソース領域、ドレイン領域）を介することなく、シリサイド層を介して半導体膜とソース・ドレイン電極とが接合した薄膜トランジスタである。ソース・ドレイン電極は、シリサイド層上に配設するようにすればよい。シリサイド層が半導体膜の第2の領域の端面まで被覆しているため、多数キャリアのみならず、半導体膜のゲート電極と対向する側に押しつけられる少数キャリアも収集される。このため、本発明の薄膜トランジスタにおいては多数キャリアによる電流と少数キャリアによる電流とにより疑似的にバイポーラ動作するものである。また前記半導体膜の前記第2の領域の前記ゲート絶縁膜側の面の前記シリサイド層と隣接する領域、または前記半導体膜の第2の領域の第1の領域と離間した領域に n 型不純物、あるいは p 不純物を添加するようにしてもよい。不純物を添加することにより少数キャリアをブロックするようにすれば、例えばCMOSを形成することもできる。

【0031】請求項2に記載の本発明の薄膜トランジスタは、イントリンシックな多結晶質シリコンからなる第1の領域および前記第1の領域を挟むように配設された第2の領域と、不純物が添加された前記多結晶質シリコンからなり、前記第2の領域の外側から前記第1の領域を挟むように配設された第3の領域とを有する半導体膜と、前記半導体膜の前記第1の領域および前記第2の領域上に配設されたゲート絶縁膜と、前記ゲート絶縁膜上を介して前記半導体膜の前記第1の領域と対向するように配設されたゲート電極と、前記半導体膜の前記第3の領域の前記ゲート絶縁膜側の面と端面とを覆うように配設されたシリサイド層とを具備したことを特徴とする。ここで、第1の領域は例えばチャネル領域であり、第3の領域は例えばコンタクト領域であり、第2の領域は例えばオフセット領域である。

【0032】請求項3に記載の本発明の薄膜トランジスタは、イントリンシックな多結晶質シリコンからなる第1の領域と、第1の濃度で不純物が添加された前記多結晶質シリコンからなり、前記第1の領域を挟むように配設された第2の領域と、前記第1の濃度よりも大きい第

2 の濃度で前記不純物が添加された前記多結晶質シリコンからなり、前記第 2 の領域の外側から前記第 1 の領域を挟むような第 3 の領域とを有する半導体膜と、前記半導体膜の前記第 1 の領域および前記第 2 の領域上に配設されたゲート絶縁膜と、前記ゲート絶縁膜上を介して前記半導体膜の前記第 1 の領域と対向するように配設されたゲート電極と、前記半導体膜の前記第 2 の領域および前記第 3 の領域の前記ゲート絶縁膜側の面と端面とを覆うように配設されたシリサイド層とを具備したことを特徴とする。ここで、第 1 の領域は例えばチャネル領域であり、第 3 の領域は例えばコンタクト領域であり、第 2 の領域は例えば L D D 領域である。

【 0 0 3 3 】 上述した本発明の薄膜トランジスタはチャネル領域としてイントリンシックな多結晶シリコンからなる半導体膜を用いたものであるが、チャネル領域に不純物が添加された半導体膜を用いるようにしてもよい。請求項 4 に記載の本発明の薄膜トランジスタは、約 $1 \times 10^{16} \text{ cm}^{-3}$ ~ 約 $5 \times 10^{17} \text{ cm}^{-3}$ の不純物が添加された多結晶質シリコンからなり、第 1 の領域と、前記第 1 の領域を挟むような第 2 の領域とを有する半導体膜と、前記半導体膜上を覆うように配設され、前記半導体膜の第 2 の領域に開口部を有するゲート絶縁膜と、前記ゲート絶縁膜を介して前記半導体膜の前記第 1 の領域と対向するように配設されたゲート電極と、前記半導体膜の前記第 2 の領域の前記ゲート絶縁膜の開口部に対応する領域に配設されたシリサイド層と、前記シリサイド層を介して前記半導体膜と接合したソース・ドレイン電極とを具備したことを特徴とする。この薄膜トランジスタはいわゆるチャネルドープした半導体膜を用い、この半導体膜とソース・ドレイン電極とをシリサイド層を介して接合したものである。半導体膜に添加された不純物の単位体積あたりの濃度は約 $1 \times 10^{16} \text{ cm}^{-3}$ ~ 約 $5 \times 10^{17} \text{ cm}^{-3}$ と低濃度になっている。このような低濃度の不純物添加は、例えば、多結晶質シリコン半導体膜の先駆膜となるアモルファス半導体膜を C V D 法などにより成膜する時に p 型不純物あるいは n 型不純物を材料ガスに混合して形成するようにしてもよい。またイオンドーピング法等により半導体膜の一部に不純物を添加した後、E L A 法などにより不純物を半導体膜全体に拡散させて低濃度にするようにしてもよい。

【 0 0 3 4 】 図 2 4、図 2 5 は本発明の薄膜トランジスタの構造の例を概略的に示す図である。図 2 4 はイントリンシックな多結晶質シリコンからなる半導体膜とソース・ドレイン電極とをシリサイド層により接合させた薄膜トランジスタである。この薄膜トランジスタは、少なくとも表面が絶縁性を呈する基板 1 1 1 と、基板 1 1 1 上に配設されたイントリンシックな多結晶質シリコンからなり、第 1 の領域 1 1 2 a と、第 1 の領域 1 1 2 a を挟むような第 2 の領域 1 1 2 b とを有する半導体膜 1 1 2 と、半導体膜 1 1 2 の第 1 の領域 1 1 2 a を覆うよう

に配設されたゲート絶縁膜 1 1 3 と、ゲート絶縁膜 1 1 3 を介して半導体膜 1 1 2 の第 1 の領域 1 1 2 a と対向するように配設されたゲート電極 1 1 4 と、半導体膜 1 1 2 の第 2 の領域 1 1 2 b のゲート絶縁膜 1 1 3 側の面と端面とを覆うように配設されたシリサイド層 1 1 5 と、シリサイド層 1 1 5 を介して半導体膜 1 1 2 と接合したソース電極 1 1 7 s、ドレイン電極 1 1 7 d とを具備したものである。

【 0 0 3 5 】 図 2 5 (a) は半導体膜 1 1 2 に n 型不純物あるいは p 型不純物を添加したソース・ドレイン領域とソース・ドレイン電極とをシリサイド層により接合させた薄膜トランジスタである。この薄膜トランジスタは、少なくとも表面が絶縁性を呈する基板 1 1 1 と、基板 1 1 1 上に配設されたイントリンシックな多結晶質シリコンからなる第 1 の領域 1 1 2 a および第 1 の領域 1 1 2 a を挟むように配設された第 2 の領域 1 1 2 c と、不純物が添加された多結晶質シリコンからなり、第 2 の領域 1 1 2 c の外側から第 1 の領域 1 1 2 a を挟むように配設された第 3 の領域 1 1 2 b とを有する半導体膜 1 1 2 と、半導体膜 1 1 2 の第 1 の領域 1 1 2 a および第 2 の領域 1 1 2 c 上に配設されたゲート絶縁膜 1 1 3 と、ゲート絶縁膜 1 1 3 を介して前記半導体膜 1 1 2 の第 1 の領域 1 1 2 a と対向するように配設されたゲート電極 1 1 4 と、半導体膜 1 1 2 の第 3 の領域 1 1 2 b のゲート絶縁膜 1 1 3 側の面と端面とを覆うように配設されたシリサイド層 1 1 5 と、シリサイド層 1 1 5 を介して半導体膜 1 1 2 と接合したソース電極 1 1 7 s、ドレイン電極 1 1 7 d とを具備したものである。すなわち、第 2 の領域 1 1 2 b はノンドープのオフセット領域であり、ソース・ドレイン電極 1 1 7 s、1 1 7 d は不純物が添加された半導体膜とシリサイド層を介して接合している。

【 0 0 3 6 】 図 2 5 (a) はオフセット領域を有しない構造であり、図 2 5 (b) はオフセット領域の代わりに低濃度で不純物を添加した L D D 領域を備えた構造である。すなわち図 2 5 (b) 薄膜トランジスタは、少なくとも表面が絶縁性を呈する基板 1 1 1 と、基板 1 1 1 上に配設されイントリンシックな多結晶質シリコンからなる第 1 の領域 1 1 2 a と、第 1 の濃度で不純物が添加された多結晶質シリコンからなり、第 1 の領域 1 1 2 a を挟むように配設された第 2 の領域 1 1 2 c と、第 1 の濃度よりも大きい第 2 の濃度で不純物が添加された多結晶質シリコンからなり、第 2 の領域 1 1 2 c の外側から第 1 の領域 1 1 2 a を挟むような第 3 の領域 1 1 2 b とを有する半導体膜 1 1 2 と、半導体膜 1 1 2 の第 1 の領域 1 1 2 a および第 2 の領域 1 1 2 c 上に配設されたゲート絶縁膜 1 1 3 と、ゲート絶縁膜 1 1 3 を介して半導体膜 1 1 2 の前記第 1 の領域 1 1 2 a と対向するように配設されたゲート電極 1 1 4 と、半導体膜 1 1 2 の第 2 の領域 1 1 2 c および第 3 の領域 1 1 2 b のゲート絶縁膜

113側の面と端面とを覆うように配設されたシリサイド層115と、シリサイド層15を介して半導体膜112と接合したソース電極117s、ドレイン電極117dとを具備したものである。

【0037】請求項5に記載の本発明の接合構造は、イントリンシックな多結晶質シリコンからなる半導体膜と、前記半導体膜上に配設されたシリサイド層と、前記シリサイド層上に配設された電極とを具備したことを特徴とする。すなわち本発明の接合構造は、イントリンシックな多結晶質シリコンからなる半導体膜と電極との接合を、n型半導体層あるいはp型半導体層などのコンタクト層を介することなく、シリサイド層を介して実現したものである。このような構成を採用することにより、例えばpoly-Si、 μ c-Siなどの多結晶質シリコンを半導体膜とした薄膜トランジスタなどの半導体素子を形成する際に、不純物イオンの打ち込みや、活性化を行う必要がなくなる。このためプロセス温度を低くすることができ、安価なガラス基板、樹脂基板などを用いることができる。また生産性も大きく向上する。

【0038】請求項6に記載の本発明の接合構造は、イントリンシックな多結晶質シリコンからなる第1の層と、前記第1の層上に配設されp型不純物またはn型不純物が添加された前記多結晶質シリコンからなる第2の層とを有する半導体膜と、前記半導体膜の前記第2の層上に配設され、前記p型不純物または前記n型不純物が添加されたシリサイド層と、前記シリサイド層上に配設された電極とを具備したことを特徴とする。請求項5に記載の接合構造では、不純物を添加したいわゆるコンタクト層を介することなくシリサイド層を介して半導体膜と電極とを接合したものであるが、請求項6に記載の本発明の接合構造は半導体膜とシリサイド層とに不純物を添加したものである。上述のように本発明者らはイントリンシックな多結晶質半導体膜と電極との接合をシリサイド層により形成できることを見いだした。したがって、不純物の活性化は行わなくともよいが、例えば多結晶質シリコンと金属とを反応させてシリサイド層を形成する際の温度範囲内であれば、半導体膜中の不純物イオンも併せて活性化するようにしてもよい。このようにすることによりシリサイドによる低抵抗化の効果と、添加された不純物による低抵抗化の効果を得ることができる。シリサイド層および半導体膜に不純物イオンを添加するためには、例えば多結晶質シリコン上にシリサイド層を形成し、この後不純物イオンを注入法、ドーピング法などにより添加するようにすればよい。このとき、シリサイド層中の金属原子がドーパントによりロックオンされた半導体膜にたたき込まれるため、多結晶質シリコンからなる半導体膜とシリサイド層との界面との界面特性が向上する。また、不純物のドーピングは、シリサイドを形成した未反応の金属層が半導体膜上に残した状態で行うようにしてもよい。このような構成を採用することに

より、多結晶質シリコンを半導体膜に用いた薄膜トランジスタの製造プロセスの最高温度を低温化することができる。すなわち、多結晶シリコンを半導体膜に用いた薄膜トランジスタの製造プロセス温度の最大値を決めていたn'半導体層、p'半導体層、n'半導体層等のコンタクト領域にドーピングした不純物を従来のように十分に活性化する必要がなくなる。また従来のように大量の不純物を導入する必要もなく、導入した不純物を活性化しなくとも良好な接合が得られる。

【0039】また、多結晶シリコンを用いた薄膜トランジスタにおいて、ゲート絶縁膜とゲート電極パターンが同一パターンで前記多結晶シリコン覆うように形成され、ソース・ドレイン領域として露出している前記多結晶シリコンの上面および側面をシリサイドで覆うようにしてもよい。また多結晶シリコン膜のソース・ドレイン領域をテーパー形状にするようにしてもよい。またシリサイドの膜厚方向（半導体膜の表面とほぼ垂直な方向）に電気的に活性な不純物を導入するようにすればよい。

このような構成を採用することにより、製造プロセスの低温化を実現することができる。液晶表示装置に応用する場合、プロセス温度の低温化に伴い、安価なガラス基板を用いることが可能となる。また、ガラスの変形を小さくすることができるので、合わせ精度の厳しい装置、例えば高精細な液晶表示装置などを製造する場合、ミスマライメントを防止することができる。更に、n'層、p'層を作成する為に必要な高価なドーピング装置を必要としないため、製造設備を簡略することができる。活性化のように制御の困難なプロセスを用いることがないので、再現性に優れた素子を作成することができる。上述したように、本発明に依って、薄膜半導体素子およびその応用製品の低コスト化を図ることができる。

【0040】また本発明においては、少なくとも表面が絶縁性を呈する基板上に、多結晶質半導体膜をチャネルにもつ薄膜トランジスタにより形成された液晶表示装置において、n型トランジスタのソース・ドレイン領域のコンタクト部分をシリサイド層で形成するようにしてもよい。また、シリサイド層で形成されたソース・ドレイン領域をもつn型トランジスタは、ライト・ドーピング・ドレイン(LDD)領域または非ドーピングのオフセット領域の何れかを有するようにしてもよい。さらに、p型トランジスタのソース・ドレイン領域にはシリサイドが形成せず、n型薄膜トランジスタのみに選択的にシリサイド層を配設するようにしてもよい。また該n型トランジスタのライト・ドーピング・ドレイン(LDD)領域または非ドーピングのオフセット領域、およびp型トランジスタのソース・ドレイン領域を覆う酸化膜にn型の不純物をドーピングするようにしてもよい。またゲート絶縁膜(ゲート酸化膜)中にドーピングされたn型の不純物濃度が、ゲート絶縁膜の少なくとも一部の領域では $1 \times 10^{18} \text{ cm}^{-3}$ 以上にするようにしてもよい。また、n型トラ

ンジスタの形成において、ゲート電極をパターンニングし、次にn型不純物をライト・ドープし、次にソース・ドレイン上の酸化膜をドライプロセスでエッチングし、次にn型不純物をヘビー・ドープし、次にシリサイドを形成すべく金属を形成し、次にアニールし、次に未反応金属をエッチングするようじしてもよい。さらに、前述のn型トランジスタの形成において、ゲート電極をパターンニングし、次にn型不純物をライト・ドープし、次にソース・ドレイン上の酸化膜をドライプロセスでエッチングし、次にシリサイドを形成すべく金属を形成し、次にn型不純物をヘビー・ドープし、次にアニールし、次に未反応金属をエッチングするようじしてもよい。また、n型トランジスタの形成において、ゲート電極をパターンニングし、次にn型不純物をライト・ドープし、次にソース・ドレイン上の酸化膜をドライプロセスでエッチングし、次にシリサイドを形成すべく金属を形成し、次にアニールし、次に未反応金属をエッチングし、次にn型不純物をヘビー・ドープし、次にアニールするようじしてもよい。

【0041】

【発明の実施の形態】以下に本発明についてさらに詳細に説明する。

【0042】（実施形態1）図1は本発明の薄膜トランジスタの構造の例を概略的に示す断面図である。この薄膜トランジスタはMOSFET構造を有しており、ガラスからなる基板11と、基板上に配設されたイントリンシックな多結晶シリコン（poly-Si）からなり、第1の領域12aと、第1の領域12aを挟むような第2の領域12bとを有する半導体膜12と、半導体膜12の第1の領域12aを覆うように配設されたゲート絶縁膜13と、ゲート絶縁膜13を介して半導体膜12の第1の領域12aと対向するように配設されたゲート電極14と、半導体膜12の第2の領域12bのゲート絶縁膜13側の面と端面とを覆うように配設されたシリサイド層15とを具備している。また、ゲート電極14を覆うように層間絶縁膜16が配設され、この層間絶縁膜16に配設されたコンタクトホールを介してソース電極17s、ドレイン電極17dがシリサイド層と接続している。すなわち、ソース電極17sとドレイン電極17dとは、シリサイド層15をコンタクト層として半導体膜12と接合している。すなわち、イントリンシックな半導体膜12とシリサイド層15とはショットキー型の接合を形成しており、コンタクト層としてドーピング層は配設していない。

【0043】図2、図3は図1に例示したような構成を有する本発明の薄膜トランジスタの製造方法の例を説明するための図である。

【0044】まずガラスなどの基板11上にプラズマ励起化学気相堆積法（PECVD法）などによりa-Si半導体膜12iを堆積し、例えばKrFレーザーなどの

エキシマーレーザーを照射して瞬間的に溶融、再結晶化させ多結晶シリコン（poly-Si）からなる半導体膜12を形成する（図2（a））。エキシマーレーザーの照射パワーを考慮すると、a-Si半導体膜12iの膜厚は約20nm～150nm程度に設定することが望ましい。ついで、多結晶シリコンからなる半導体膜12を素子分離のためパターンニングする。パターンニングされた半導体膜12の上に例えばシリコン酸化物（SiO_x）などからなるゲート絶縁膜13を例えばPECVD法（Plasma Enhanced CVD）、ECR法などにより成膜し、つづいて例えばMo、Ta、W、Alまたはこれらの合金等のゲート電極材料からなる金属薄膜14iをスパッタ法などにより堆積する（図2（b））。

【0045】そして金属薄膜14iにレジストを塗布し、フォトリソグラフィ法によりパターンを形成し、RIE法（反応性イオンエッチング法）等の異方性エッチングにより所定の形状にパターンニングしてゲート電極14を形成する。図4はゲート電極14とpoly-Si半導体膜12との関係を説明するための図である。図4（a）に示すように、ゲート電極14の幅はpoly-Si半導体膜12の幅Wよりも大きくなるようにパターンニングする。このようにすることによりシリサイド層15によるソース・ドレイン間の短絡を防止することができる。

【0046】さらにパターンニングしたゲート電極14をマスクとしてゲート絶縁膜13をエッチングする。ゲート絶縁膜13はゲート電極14とほぼ同一形状にパターンニングされる。このエッチングは例えば、CHF₃をエッチングガスとしたRIE法などにより行うようにすればよい。

【0047】この段階では、poly-Si半導体膜12の第1の領域12a上にゲート絶縁膜13、ゲート電極14が積層成膜されており、半導体膜12の第2の領域12bは露出している。

【0048】ついで、ゲート電極14の上側から花12上に、例えばMo、Ta、Al、W、Ni等の金属薄膜15iをスパッタ法、CVD法などにより堆積し、約200℃～400℃程度に加熱してpoly-Si半導体膜12と反応させることによりシリサイド層15を形成する（図2（c））。

【0049】シリサイド層15を形成した後、未反応の金属薄膜15iを除去する。このとき未反応の金属薄膜15iは除去されるが、シリサイド層15は残留する（図3（d））。半導体膜12を素子分離のため島状にパターンニングした後にシリサイド層15を形成するため、シリサイド層15はpoly-Si半導体膜12の第2の領域12bの上面および端面を覆うように形成される。また、図4に示したように、ゲート電極14をpoly-Si半導体膜12の幅Wに比べ大きく形成して

いるので、第 1 の領域 1 2 a にはシリサイドが形成されることがなく、したがってシリサイドによる電流リークを防止することができる。

【 0 0 5 0 】次に、ゲート電極 1 4 の上側から層間絶縁膜 1 6 堆積し、ソース・ドレイン電極を配設するためのコンタクトホール 1 7 h を形成する（図 3（e））。層間絶縁膜 1 6 は、例えばシリコン酸化膜（ SiO_x ）、シリコン窒化膜（ SiN_x ）、あるいはこれらの積層膜を例えば PECVD 法などにより形成するようにすればよい。層間絶縁膜 1 6 にソース電極 1 7 s、ドレイン電極 1 7 d およびゲート電極引き出し線を配設するためのコンタクトホールを形成するためには、例えば前述したような酸化膜のエッチングと同様の方法を用いるようにしてもよい。

【 0 0 5 1 】そして、ソース・ドレイン電極材料を堆積、パターニングしてソース電極 1 7 s、ドレイン電極 1 7 d、およびゲート電極 1 4 の図示しない引き出し線を形成する。ソース電極 1 7 s、ドレイン電極 1 7 d およびゲート電極 1 4 の図示しない引き出し線の構成材料としては、例えば、Al、Mo、Ta、Cu またはこれら 20 の合金を用いるようにすればよい。

【 0 0 5 2 】ソース電極 1 7 s、ドレイン電極 1 7 d はコンタクトホール 1 7 h を介してシリサイド層 1 5 と接続される。

【 0 0 5 3 】図 1 に例示した本発明の薄膜トランジスタは不純物を添加したドーブ層を有しておらず、コンタクト層としてシリサイド層 1 5 を用いたものであるが、シリサイド層 1 5 は半導体膜 1 2 の上面（ゲート電極側の面）だけでなく、第 2 の領域の端面も覆うように配設されている。また、ゲート電極 1 4 の端とシリサイド層 1 5 の内側の端とは平面的に一致している。

【 0 0 5 4 】poly-Si 半導体膜 1 2 の第 2 の領域 1 2 b の端面にシリサイド層 1 5 が配設されていることにより、本発明の薄膜トランジスタにおいては、多数キャリアによる電流と少数キャリアによる電流とを得ることができる。このように、擬似的なバイポーラ動作をさせるためには半導体膜 1 2 の第 2 の領域 1 2 b の端面にシリサイド層 1 5 を形成することが必要である。

【 0 0 5 5 】（実施形態 2）図 5 は例えば図 1 に例示したような構成を有する本発明の薄膜トランジスタの動作を説明するための図である。

【 0 0 5 6 】例えば、n チャネル動作をさせる場合を考える。ゲート電極 1 4 に正の電位が与えられると、半導体膜 1 2 とゲート絶縁膜 1 3 との界面に電子が誘起され、ソース・ドレイン電極間を流れる。一方、正孔はゲート電極 1 2 の電位によって半導体膜 1 2 の基板 1 1 側の界面に押し付けられる。本発明の薄膜トランジスタでは、ドレインからソースへ向う正孔は、半導体膜 1 2 の第 2 の領域 1 2 b の端面にシリサイド層 1 5 が形成されているためにソース電極により収集される。このような

正孔は、シリサイド層 1 5 が半導体膜 1 2 の第 2 の領域 1 2 b の端面に形成されていない限り収集されることはない。

【 0 0 5 7 】p チャネル動作をさせる場合には、n チャネル動作の場合とは逆に、正孔が半導体膜 1 2 とゲート絶縁膜 1 3 との界面に誘起され、電子が半導体膜 1 2 の基板 1 1 側に押し付けられることになる。電子流の収集のためには半導体膜 1 2 の第 2 の領域 1 2 b の端面にシリサイドを形成することが必要となる。このようにシリサイド層 1 5 を poly-Si 半導体膜 1 2 の第 2 の領域 1 2 b の端面にも形成することにより、多数キャリアだけでなく少数キャリアによる電流も得ることができる。

【 0 0 5 8 】poly-Si からなる半導体膜上に形成されるシリサイドの抵抗率は、約数十～ $100\mu\Omega\text{cm}$ 程度である。このように極めて低い抵抗率は a-Si 半導体膜を用いたシリサイドでは得ることはできない。例えば a-Si 半導体膜と Mo とのシリサイドのシート抵抗は約 $10\text{k}\Omega/\text{sq}$ であるのに対し、a-Si 半導体膜と Mo とのシリサイドのシート抵抗は約 $10\text{k}\Omega/\text{sq}$ と極めて低く、一般的に 10^3 のオーダーでシート抵抗が相違する。さらに a-Si 半導体膜では少数キャリアは殆どないから、少数キャリアによる電流を考慮する必要はない。

【 0 0 5 9 】また、結晶シリコン素子では、図 2（b）で説明したように半導体膜を島状に形成することが出来ないで、半導体膜の端面にシリサイド層を形成することが困難である。したがって、この技術は多結晶シリコン薄膜トランジスタに特有な構造であると言える。

【 0 0 6 0 】このように、poly-Si 半導体膜のシリサイド層をコンタクト層として用いることにより、従来のように n^+ 半導体層や p^+ 半導体層を用いることなく薄膜トランジスタを構成することができ、不純物イオンのドーブや、ドーブした不純物イオンの活性化などの熱負荷の大きな工程を用いる必要がない。したがって、ガラス、樹脂といった基板上に薄膜トランジスタを形成することができる。また生産性も向上することができる。

【 0 0 6 1 】（実施形態 3）図 6 は本発明の薄膜トランジスタの別の例を説明するための図であり、例えば図 1 に例示したような本発明の薄膜トランジスタの半導体膜 1 2 の端面をテーパ形状にしたものである。

【 0 0 6 2 】多結晶質シリコン膜 1 2 の端面をテーパ形状にすることにより、正孔のライフタイムに比べて移動すべき経路長が長くなり、少数キャリアが半導体膜の膜厚方向に横切ることにより起因する抵抗成分を低減することができる。したがって、電流を大きくすることができる。

【 0 0 6 3 】図 7 はこのような半導体膜 1 2 のコンタク

ト部のテーバーを作成する方法の例を説明するための図である。例えば、多結晶シリコンからなる半導体膜 1 2 を島状にパターニングする際に (図 2 (b) 参照)、エッチング条件を適当に選び、図 7 (a) のようにテーバーを作成するようにすればよい。あるいは、図 2 (b) の段階では多結晶シリコンからなる半導体膜 1 2 を島状にパターニングせず、ゲート絶縁膜 1 3 およびゲート電極 1 4 をパターニングした後、レジスト 2 1 を塗布し (図 7 (b))、多結晶シリコン膜 1 2 をエッチングする際にテーバーを形成するようにしてもよい。

【0064】 (実施形態 4) 実施形態 1、実施形態 2 に例示したような本発明の薄膜トランジスタはバイポーラ動作をするから、CMOS (Complementary MOS) を形成することができない。ここでは、シリサイド層を熱的に形成するだけでなく、不純物をドーピングすることにより少数キャリアのブロック層を形成して例について説明する。

【0065】 上述した本発明の薄膜トランジスタは、ゲート電極電位が正の領域では電子が多数キャリアとしてソース・ドレイン間を流れ、ゲート電極電位が負の領域では正孔が多数キャリアとして流れる。このような 2 つの素子を組み合わせたととしても、負荷抵抗型のインバータしか作成することができない。負荷抵抗型インバータは消費電力が大きく、例えば液晶表示装置のように低消費電力が求められる装置へ応用することは極めて困難である。

【0066】 図 8 は、本発明の薄膜トランジスタを CMOS に適用する場合の製造方法の例を説明するための図である。この図 8 (a) は実施形態 1 で説明した本発明の薄膜トランジスタの製造例の図 2 (c) に相当する工程を示している。シリサイド層 1 5 は多結晶質シリコンからなる半導体膜 1 2 とこの半導体膜上に堆積した金属層 1 5 i との化学的な反応に起因して形成される。この化学的反応を促進する方法として加熱がある。この例では、熱を加えるだけでなく、多結晶シリコン膜 1 2 と金属薄膜 1 5 i の接している部分に P (リン) または B (硼素) などの、n 型または p 型の半導体を形成することのできる不純物をドーピングしている。ドーピングされる不純物イオンは加速されエネルギーを有しているから、不純物は多結晶シリコンと金属薄膜の接している部分にドーピングされるだけでなく、不純物の運動エネルギーが半導体膜 1 2 にトランスファーされ、シリサイド層 1 5 の形成を一層促進することができる。また不純物のドーブをゲート絶縁膜を介して行う場合、ドーピングによりゲート絶縁膜の膜質も改善することができる。

【0067】 このように、シリサイド層を形成するために半導体膜 1 2 上に堆積した金属層 1 5 i を介して不純物イオンを添加した本発明の薄膜トランジスタは、半導体膜 1 2 のコンタクト領域の一部に薄いドーブ層 1 2 s、1 2 d を有している (図 8 (b))。またシリサイ

ド層 1 5 にも半導体膜 1 2 に添加されたものと同じ不純物が添加されることになる。ドーピング層 7 0 5 が n 型か p 型かによつて、得られる薄膜トランジスタはそれぞれ n 型半導体素子および p 型半導体素子となる。

【0068】 シリサイド層 1 5 は一般に半導体膜とある電気的な障壁を持って接合されるので、シリサイド層の構成金属を選択することによってキャリアをブロックすることができる。したがって、例えば図 2 9 に例示した従来の薄膜トランジスタのように半導体膜のコンタクト領域全体にドーピング層を形成する必要はない。

【0069】 このように本発明の薄膜トランジスタは、バイポーラ動作するだけでなく、コンタクト領域に n 型不純物あるいは p 型不純物をドーピングすることにより、ドーピングする不純物の種類によって n 型の素子、p 型の薄膜トランジスタを得ることができる。しかも、従来の薄膜トランジスタのように活性化に高温を必要とした n' 層、p' 層を形成する必要がない。したがって薄膜トランジスタの特性を向上するだけでなく、安価なガラス基板、樹脂基板を用いることができ、生産性を向上することができる。

【0070】 図 9、図 10、図 11、図 12 は本発明の薄膜トランジスタを CMOS に適用する場合の製造方法の例を説明するための図である。ここでは基板 1 1 の第 1 の領域 1 1 a に n - c h 薄膜トランジスタを形成し、第 2 の領域 1 1 b に p - c h 薄膜トランジスタを形成する例を説明する。

【0071】 前述同様、基板 1 1 上に a - S i 半導体膜を成膜し、ELA 法などにより熔融再結晶化して多結晶質シリコンからなる半導体膜 1 2 を形成し、さらにこの p - S i を半導体膜をパターニングする (図 9 (a))。

【0072】 つぎにパターニングした半導体膜 1 2 上にゲート絶縁膜 1 3 を成膜し、さらにゲート電極材料からなる金属薄膜 1 4 i を成膜する。ゲート絶縁膜としては例えばシリコン酸化膜を、またゲート電極材料としては例えばアルミニウムを用いるようにしてもよい (図 9 (b))。

【0073】 ついで、フォトエッチング工程により、金属薄膜 1 4 i、ゲート絶縁膜 1 3 を同一のパターンにパターニングする (図 9 (c))。

【0074】 そして、露出した半導体膜 1 2 を覆うようにシリサイド形成のための金属層 1 5 i を成膜する。金属層 1 5 i を成膜後、加熱して半導体膜 1 2 と反応させシリサイド層 1 5 を形成する (図 10 (d))。

【0075】 さらに、n - c h 薄膜トランジスタを形成するため、第 1 の領域 1 1 a に成膜した金属層 1 5 i を、半導体膜 1 2 上に形成したシリサイド層 1 5 の一部が露出するようにパターニングする。第 2 の領域 1 1 b の金属層 1 5 i はすべて残しておく。この状態でイオンドーピング法あるいはイオン注入法などにより例えば P

(リン)などのn型不純物不純物を添加する。シリサイド層15を形成するために成膜した金属層15iがマスクとなり、第2の領域11bの半導体膜12の露出した部分に選択的に不純物イオンが添加されソース領域12s、ドレイン領域12dが形成される(図10(e))。

【0076】この後、第2の領域11bにp-ch薄膜トランジスタを形成するために、さらに金属層15sを成膜して、第1の領域11a、第2の領域11bの全体を被覆する(図10(f))。

【0077】ついでパターニングと選択エッチングにより第2の領域11bのみ金属層15i、金属層15sを除去する。第1の領域11aには残しておく。このような選択的なパターニングは、金属層15iおよび金属層15sとして例えばMoを用い、ゲート電極14として例えばAlを用い、さらにこれらをCF₄などを用いたケミカルドライエッチング行うことによって行うことができる。

【0078】この状態で、イオンドーピング法あるいはイオン注入法などにより例えばB(硼素)などのp型不純物不純物を添加する。金属層15i、金属層15sがマスクとなり、第1の領域11aには不純物は導入されずに、第2の領域11bの半導体膜12の露出した部分に選択的に不純物イオンが添加されソース領域12e、ドレイン領域12fが形成される(図11(g))。このような工程によりオフセットを有するn-ch薄膜トランジスタのコンタクト領域とp-ch薄膜トランジスタのコンタクト領域を形成することができる。この後、金属層15iおよび金属層15sを除去し(図11(h))、層間絶縁膜16を堆積し、n-ch薄膜トランジスタのコンタクト領域とp-ch薄膜トランジスタのコンタクト領域とのコンタクトホール16hを形成する。(図11(i))。

【0079】そして例えばアルミニウムなどの電極材料を堆積して所定のパターンにパターニングすることによりソース電極17s、ドレイン電極17dを形成する(図12(j))。この後形成するCMOS回路に応じてソース・ドレイン電極、ゲート電極の接続を行えばCMOS回路を形成することができる。

【0080】なお、この例ではソース電極17s、ドレイン電極17dは、n-ch薄膜トランジスタの半導体膜12のソース領域12s、ドレイン領域12dとシリサイド層を介して接合する例を説明したが、例えば図12(k)に例示するようにイントリンシックな半導体膜12とシリサイド層15を介して接合するようにソース・ドレイン電極を配設するようにしてもよい。

【0081】本発明では多結晶質シリコンを用いた薄膜トランジスタのコンタクト部に、活性化に高温を必要とし生産性を律速していたn'層やp'層を用いず、シリサイド層を採用することで、製造プロセスの低温化を

現することができる。さらに、n'層やp'層を作成するために必要な高価なドーピング装置を必要としないため、製造設備を簡略化することもできる。またn'層やp'層の活性化のように制御の困難なプロセスが不要となるので、特性が均一で再現性に優れた薄膜トランジスタを提供することができる。とくに薄膜トランジスタを多数用いた装置を製造する場合には、装置の特性、生産性を大きく向上することができる。このように本発明によれば薄膜トランジスタの特性を向上するだけでなく、

10 安価なガラス基板、樹脂基板を用いることができ、また生産性を向上することができる。

【0082】(実施形態5)図28に示した通り不純物の活性化工程を改善することのみでは、プロセスの低温化と半導体膜のシート抵抗の十分な低減を両立することは困難である。

【0083】そこで、本発明では多結晶質シリコンからなる半導体膜とソース・ドレイン電極との接合部にシリサイド層を配設することによる抵抗低減を図っている。上述のように本発明の薄膜トランジスタはイントリンシックな多結晶質シリコン半導体膜とシリサイド層との間にショットキー型の接合構造を形成して低抵抗化し、このシリサイド層を介して半導体膜とソース・ドレイン電極とを接続することができるものであるが、さらにソース・ドレイン領域の半導体膜に不純物を添加するようにしてもよい。このような構成を採用することにより、シリサイド層による低抵抗化への寄与と、不純物の添加による低抵抗化への寄与とを輻輳的に用いて薄膜トランジスタを構成することができる。したがって、従来よりも不純物濃度を低くすることができ、また活性化も低温で行えるようになる。

30

【0084】シリサイド層を用いた場合のプロセス・フローの概要は以下になる。図13、図14は本発明の薄膜トランジスタの製造方法の別の例を説明するための図である。多結晶質シリコン膜12の形成、ゲート絶縁膜13の成膜、ゲート電極14のパターニングまでは、前述同様である。ここではゲート絶縁膜13としてはシリコン酸化膜(SiO_x)をプラズマCVD法により成膜した。なおこの例ではガラス基板11上にアンダーコート層として、シリコン窒化膜(SiN_x)11nとシリコン酸化膜(SiO_x)11oとを成膜してから半導体膜12を成膜、パターニングしている(図13(a)、図13(c))。また、半導体膜12のパターニング後、例えばn-ch薄膜トランジスタとなる領域の半導体膜のみをレジストで被覆して、p-ch薄膜トランジスタとなる半導体膜12に低い加速電圧で低濃度の不純物を導入するようにしてもよい(図13(b)参照)。

【0085】ゲート電極となる金属薄膜14iをパターニングして、p-ch領域の半導体膜12のソース領域12e、ドレイン領域12にゲート絶縁膜13スルーで

例えばB（硼素）などの p' 不純物をイオンドーピング法などにより添加する（図13（d））。この時のイオンドーピング条件は、ゲート絶縁膜13を介して行うため、約50keV程度の加速エネルギーを必要とし、ドーズ量としては $2 \times 10^{14} \text{ cm}^{-2}$ 程度を要する。

【0086】次に、 $n\text{-ch}$ 領域のゲート電極14をパターンニングし、このゲート電極14をマスクとしてionドーピング法などにより、LDD（Lightly doped drain）領域12cとソース領域12sおよびドレイン領域12dへの n -不純物の添加を行う。この時のイオンドーピング条件は、加速電圧約80keV、ドーズ量 $3 \times 10^{13} \text{ cm}^{-2}$ 程度である（図14（e））。

【0087】次にLDD領域12cをオフセットした状態でゲート絶縁膜13をエッチングし、 $n\text{-ch}$ 薄膜トランジスタのソース領域12s、ドレイン領域12dの上のゲート絶縁膜をエッチングする。その状態でイオンドーピング法により n 型不純物をヘビードープする。この時のイオンドーピング条件はゲート絶縁膜13スルーではないので、低加速の約10keV程度の加速電圧とし、ドーズ量は $1 \times 10^{14} \text{ cm}^{-2}$ 程度に設定した。このとき、 $n\text{-ch}$ 薄膜トランジスタのLDD領域12c、および $p\text{-ch}$ 薄膜トランジスタのソース領域12e、ドレイン領域12fにはゲート絶縁膜13が存在するため、 n' 不純物のイオンドーピングのドーパントはそこで阻止される。したがって薄膜トランジスタの特性には影響しない（図13（f））。

【0088】次に、 $n\text{-ch}$ 領域、 $p\text{-ch}$ 領域全面に、シリサイドを形成するための例えばMoなどの金属層15iを堆積し、約350℃～400℃程度の温度で1時間から数時間のアニールを行う。この工程では、半導体膜12に添加されたドーパント不純物が活性化されると同時に、多結晶質シリコンからなる半導体膜12と金属層15iとが接している領域でシリサイド層15が反応形成される（図13（g））。

【0089】その後、未反応の金属層15iを例えばCMK-201などの混酸と水の混合溶液でエッチングして、 $n\text{-ch}$ 薄膜トランジスタソース領域12s、ドレイン領域12d上とその端面に形成されたシリサイドのみを残す（図13（h））。この後層間絶縁膜を成膜し、コンタクトホールを形成し、ソース・ドレイン電極を形成すれば $n\text{-ch}$ 薄膜トランジスタ、 $p\text{-ch}$ 薄膜トランジスタを形成することができる（実施形態4参照）。

【0090】ここで例示した製造プロセスの幾つかのポイントを順を追って説明する。

【0091】まず、 p' 領域12e、12fを形成するイオンドーピングに関しては、イオンドーピング直前にゲート絶縁膜をエッチングして $p\text{-Si}$ を剥き出しにしてイオンドーピングを行い、後にPMOS薄膜トランジ

スタのS/D領域もシリサイド化する方法も考えられる。しかしながら、半導体膜のソース・ドレイン領域とゲート電極とのリーク発生が頻発してしまうため、製造プロセスとしては適さないことがわかった。またPMOS薄膜トランジスタのソース・ドレイン領域にもシリサイド層を配設する場合には、PMOS薄膜トランジスタにもLDD構造を採用する場合となるが、PMOS薄膜トランジスタではキャリア移動度が小さく、素子劣化も少ないため、LDD構造にする必要性はない。同時に、この移動度の小ささ故に、ソース・ドレイン間の抵抗の制約も緩いため、シリサイド化する必要もない。

【0092】次にLDD領域12cに関してであるが、このLDD領域12cをノン・ドープのオフセット領域としてもよい。ポイントは先にも示した通り、ゲート電極14と比較して、ソース・ドレイン方向（キャリアの移動方向）に大きくなるようにゲート絶縁膜13を残すことにある。このような構成を採用することにより、前述したようにゲート電極と半導体膜のソース・ドレイン領域と間のリークを抑制することができる。

【0093】次に n' 領域の形成に関してであるが、まずドーズ量に関しては、先には $1 \times 10^{14} \text{ m}^{-2}$ 程度を必要とするとしたが、シリサイド層15によりかなりの低抵抗化を達成することができる、ドーピングによる低抵抗化の制約は極めて緩いものとなる。したがって、タクト等を考慮した場合、より低ドーズの不純物を添加すればよい。

【0094】さらに、 n' イオンドーピング際、LDD領域およびPMOS薄膜トランジスタのソース・ドレイン上のゲート絶縁膜にP（リン）あるいはAs（ひ素）等の n 型不純物が添加されることになるが、この添加により薄膜トランジスタの特性が向上することがわかった。これは、 n' イオンドーピングより前に行われるLDD領域、およびPMOS薄膜トランジスタのソース・ドレイン領域形成時のイオンドーピングは高い加速電圧で行われるため、ゲート絶縁膜に大きなダメージを与えてしまう。 n' イオンドーピングでは、このゲート絶縁膜に低加速条件でのマイルドなドーピングが行われるため、ドーパントがゲート絶縁膜のダメージを緩和するように作用する。また、低温プロセスで形成されるゲート絶縁膜は熱酸化膜と異なり、一般に密度も疎で特性も低くなるが、シリコン原子と原子半径の若干異なるドーパント原子のドーピングが適度に欠陥を終端するように作用し、膜質を向上することができる。

【0095】薄膜トランジスタにおいては、ドレイン端近傍は電界強度が強くなるため、最も良好な膜質を要求される。その意味で、LDD領域およびPMOS薄膜トランジスタのソース・ドレイン領域上のゲート酸化膜への不純物イオンの打ち込みによるゲート絶縁膜の高品質化により薄膜トランジスタの特性を大きく向上することができる。

【0096】また、イオンドーピング前の酸化膜エッチング工程はドライ工程で行うことが望ましい。ウェット工程ではサイドエッチングが進行してしまうため、LDD領域と半導体膜のソース・ドレイン領域上のゲート絶縁膜に「す」ができてしまう。このため、このゲート絶縁膜の「す」の部分がリークパスとなり、大きなリーク電流を招いてしまう。

【0097】次にシリサイド層を形成する金属であるが、上述したMoに限ることはない。比較的低温でシリサイド層を形成することができる金属としては、例えば、Mg、Ca、Ti、V、Cr、Mn、Fe、Co、Ni、Zr、Nb、Rh、Pd、Hf、Ta、W、Ir、Pt等があり、いずれを用いるようにしてもよい。

【0098】また、金属層の成膜と n^+ イオンドーピング、およびアニールの順序であるが、前述した方法の他に、(1)金属層成膜/ n^+ イオンドーピング/アニールの順、また、(2)金属層成膜/アニール/ n^+ イオンドーピング/アニールの順が考えられる。(1)のプロセスでは金属層の膜厚および材料によってイオンドーピング条件を見直す必要がある、(2)ではアニール工程が2回必要という短所はあるが、特性的には歩留まりに優れたデバイスを得ることができる。これは、金属層15iで覆った状態で不純物イオンをドーピングすることにより、ドーパントが金属原子をロックオンし、多結晶質シリコンからなる半導体膜中に叩き込むため、半導体膜と金属層(あるいはシリサイド層)との界面特性を向上することができるからである。

【0099】また、上述したようなプロセスの後には水素化工程がある。この工程は多結晶質シリコンからなる半導体膜を用いた半導体素子には必須の工程である。この水素化工程は、層間絶縁膜16の成膜の前に行うようにしてもよいし、成膜後に行うようにしてもよい。層間絶縁膜を成膜する前に行うようにすればタクトタイムが短くなり生産性を向上することができる。また水素化工程を行う際には、NMOS薄膜トランジスタのソース・ドレイン領域はシリサイド層に、またNMOS薄膜トランジスタのLDD領域およびPMOS薄膜トランジスタのソース・ドレイン領域はゲート絶縁膜により保護されているため、水素化工程によるダメージを受けることはない。

【0100】このようにLDD領域あるいはノンドープのオフセット領域を有するNMOS薄膜トランジスタのソース・ドレインにシリサイド層を採用した接合構造を採用することにより、約400℃程度の加熱を上限とした製造プロセスで、薄膜トランジスタのソース・ドレイン抵抗を十分低減することができ、生産性を大きく向上することができる。また本発明の薄膜トランジスタはゲート絶縁膜の膜質が良好であり、ゲートリーク特性を向上することができる。

【0101】なおここではNMOS薄膜トランジスタと

PMOS薄膜トランジスタのうちNMOS薄膜トランジスタにのみシリサイドによる接合構造を採用した例について説明したが、前述のようにPMOS薄膜トランジスタにもシリサイドによる接合構造を適用するようにしてもよい。さらに、ここでは半導体膜のソース・ドレインに不純物を添加した例を説明したが、イントリンシックな多結晶質シリコンからなる半導体膜と、ソース・ドレイン電極とをシリサイド層のみにより接合する接合構造を採用するようにしてもよい。

10 【0102】(実施形態6)つぎに本発明の薄膜トランジスタを画素部-駆動回路部一体型のアクティブマトリクス型液晶表示装置のアレイ基板に適用した例について、その製造プロセスについて説明する。

【0103】基板として、例えばコーニング社製1737ガラス等の非アニール基板を準備する。この基板上に、まず、 SiN_x からなるアンダーコート層11nを50nm、 SiO_2 からなるアンダーコート層11oを100nmにわたりプラズマCVD法により成膜する。次に、やはりプラズマCVD法により厚さ約50nmのa-Si半導体膜を形成し、約500℃、1時間程度の脱水素アニールを行う。この熱アニールはバターンニング前に行うため、基板のシュリンクの問題はない。脱水素を終えたa-Si半導体膜はエキシマ・レーザー・アニール法により約300mJ/cm²のエネルギーで瞬時溶解、再結晶化させ、p-Si半導体膜12とする。

【0104】次にp-Si半導体膜12をバターンニングし、ゲート絶縁膜13をプラズマCVD法で厚さ100nmにわたり成膜する。さらに例えばMo-Ta合金などのゲート電極材料からなる金属薄膜14iをスパッタ法により成膜する。n型薄膜トランジスタとなる領域はゲート電極材料からなる金属薄膜14i全面覆ったまま、p型薄膜トランジスタとなる領域の金属薄膜14iバターンニングした後、p-Si半導体膜12に p^+ 不純物をイオンドーピング法により添加する。イオンドーピング条件は、水素希釈5%のB₂H₆ガスを原料ガスとしてRF放電でプラズマを生成し、そのプラズマをイオンソースとして、加速エネルギー約50keV、総ドーズ 1×10^{16} cm⁻²、注入電流密度8μA/cm²とした。

40 【0105】次にn型薄膜トランジスタとなる領域の金属薄膜14iをバターンニングした後にn-不純物をイオンドーピング法により添加する。その条件は水素希釈5%PH₃ガスを原料ガスとしたRFプラズマから、加速エネルギー約80keV、総ドーズ約 3×10^{13} cm⁻²、注入電流密度約0.1μA/cm²とした。

【0106】次に、LDD領域とすべき領域のゲート絶縁膜13は残すようにフォトリソエッチング工程を行い、その状態でCHF₃とO₂との混合ガスを用いたCDE法(ケミカルドライエッチング法)によりソース・ドレイン領域上のゲート絶縁膜13をエッチングする。シリコ

ン酸化膜からなるゲート絶縁膜 1 3 のエッチング速度は約 $300 \text{ \AA} / \text{min}$ 程度で行った。この状態で n 型薄膜トランジスタとなる半導体膜 1 2 に n^+ 不純物をイオンドーピング法により添加する。イオンドーピング条件は、加速エネルギー約 10 keV 、総ドーズ約 $1 \times 10^{15} \text{ cm}^{-2}$ 、電流密度約 $12 \mu\text{A} / \text{cm}^2$ とした。

【0107】次にシリサイド層 1 5 を形成するための金属層 1 5 i として例えば Mo などの金属材料をスパッタ法などにより約 50 nm 形成した。このとき基板温度は約 150°C とした。

【0108】そして約 400°C で 3 時間のアニールを施し、p-Si 半導体膜 1 2 と金属層 1 5 i とを反応させてシリサイド層 1 5 を形成するとともに、半導体膜 1 2 に添加した不純物の活性化を同時に行った。

【0109】次に基板を水に浸して例えば CMK-201 等の混酸を用いて、未反応の金属層 1 5 i をエッチング除去した。約 5 分程度のエッチングにより未反応の金属層 1 5 i はエッチングにより除去することができた。

【0110】その後、半導体膜 1 2 の水素化を行い、シリコン酸化膜からなる層間絶縁膜 1 6 を厚さ約 500 nm にわたり成膜した。

【0111】この後、層間絶縁膜 1 6 にコンタクトホールを形成し、このコンタクトホールを介して半導体膜 1 2 のソース・ドレイン領域 1 2 s、1 2 d、1 2 e、1 2 f と接続するようにアルミニウムなどの電極材料を成膜、パターニングしてソース・ドレイン電極 1 7 s、1 7 d を形成した。

【0112】以上のような工程により製造した本発明の薄膜トランジスタのソース・ドレイン間のシート抵抗を測定したところ約 $1.5 \text{ k}\Omega / \text{sq}$ であり (n 型)、薄膜トランジスタの特性として全く問題なかった。このように本発明の薄膜トランジスタでは、半導体膜のソース・ドレイン領域にシリサイド層を配設することにより、約 400°C 程度の低温プロセスで良好な特性を実現することができる。

【0113】(実施形態 7) 実施形態 6 に例示したプロセスにしたがった場合と、 n^+ 不純物のイオンドーピングからシリサイド層 1 5 の形成にいたる工程を、ゲート絶縁膜 1 3 のエッチング／金属薄膜 1 5 i の成膜／アニールによりシリサイド層 1 5 / 未反応の金属薄膜 1 5 i のエッチング除去／ n^+ 不純物のイオンドーピング／ n^+ 不純物のアニールによる活性化、とした場合とで、その歩留まりを比較検討した。

【0114】実施形態 6 の工程と、上述の工程とにより W (チャネル幅) / L (チャネル長) が $10 \mu\text{m} / 10 \mu\text{m}$ の薄膜トランジスタアレイを製造し、100 個の薄膜トランジスタの ON / OFF 比を測定した。ON / OFF 比が 6 桁以上得られた場合を良品とした場合、前者プロセスでは歩留まり 80 %、後者プロセスでは歩留まり 95 % となった。

【0115】(実施形態 8) つぎに本発明の薄膜トランジスタの構造とゲートリーク電流との関係を説明する。ゲートリーク電流の測定は、n 型薄膜トランジスタにおいて S/D を 0 V とした状態でゲート電極に電圧を印加し、ゲート電流が 0.1 nA を越えた電圧を耐圧とすることでゲートリークの指標とした。薄膜トランジスタとしては $W/L = 5 \mu\text{m} / 5 \mu\text{m}$ の試料を作成して用いた。

【0116】図 15 は本発明のシリサイド層をコンタクトとして採用した薄膜トランジスタの構造の例を示す図である。ここでは 3 種類の薄膜トランジスタを製造してその特性の比較を行った。図 15 (a) は LDD 領域およびオフセット領域を持たない構造 (この場合、ゲート絶縁膜 1 3 のエッチングはドライエッチングで行った) を示している。図 15 (b) は、LDD 領域 1 2 c を有する構造で、かつゲート絶縁膜 1 3 のエッチングをフッ酸によるウェットエッチングにより行ったもので、ゲート絶縁膜 1 3 の半導体膜 1 2 側の部分にサイドエッチによるオーバーハング 1 3 a が見られる。図 15 (c) は、上述のようにゲート絶縁膜 1 3 をドライエッチングによりパターニングするとともに、ゲート絶縁膜 1 3 スルーで LDD 領域 1 2 c を形成したものである。

【0117】図 16 は各プロセスに対応したゲート耐圧を測定した結果を示すグラフである。前述したようにチャネル領域 1 2 a とソース領域 1 2 s およびドレイン領域 1 2 d との間に LDD 領域 1 2 c を配設し、シリサイド層 1 5 を半導体膜 1 2 のソース領域 1 2 s とドレイン領域 1 2 d の上面 (ゲート絶縁膜 1 3 側の面) および端面に配設した構造を有する薄膜トランジスタが際立ってゲート耐圧に優れていることがわかる。このような構造は、ゲート絶縁膜をドライエッチングにより行うことにより形成することができる。

【0118】(実施形態 9) つぎに、ゲート絶縁膜に添加された不純物濃度とゲートリークとの関係について説明する。図 17 は、ゲート耐圧が 50 V 以上となる薄膜トランジスタの発生頻度を P のピーク濃度に対してプロットしたグラフである。ここでは例としてゲート絶縁膜 1 3 スルーで P (リン) をイオンドーピングにより半導体膜 1 2 に添加した場合について示した。ゲートリークの測定方法は実施形態 8 と同様である。またゲート絶縁膜 1 3 中の P 濃度としては、LDD 領域 1 2 c 上のゲート絶縁膜 1 3 を対象として測定している。このように LDD 領域上のゲート酸化膜中に添加された P のピーク濃度が 10^{18} cm^{-3} を越えるとゲート耐圧が 50 V 以上となる薄膜トランジスタの発生頻度が大きく向上することがわかる。したがってピーク濃度が 10^{18} cm^{-3} 以上になるように不純物を添加することが好適であることがわかる。

【0119】この P (リン) は n^+ 不純物のイオンドーピング中にゲート絶縁膜 1 3 にも添加されるものであ

る。図 18 はシリサイド層 15 と p-Si 半導体膜 12 中に添加された不純物の濃度プロファイルの例を示す図である。加速電圧は約 10 kV に固定し、ドーズ量は約 $6 \times 10^{14} \text{ cm}^{-2}$ としてイオンドーピング法により添加した場合のプロファイルの例である。このプロファイルは加速電圧、ドーズ量等により必要に応じて設定することができるが、金属層 15 i を介して不純物を添加する場合には金属層 15 i の金属原子が不純物イオンにより半導体膜 12 中にたたき込んで、シリサイド層 15 の形成を促進することが好適である。

【0120】このように p-Si、 $\mu\text{c-Si}$ といった多結晶質シリコンを半導体膜として用いた本発明の薄膜トランジスタは、400℃程度以下の加熱をプロセス温度の上限としたプロセスにより、十分にソース・ドレイン抵抗の小さい素子特性を実現することができる。したがって従来生産性を律速していた加熱温度を低くすることができ、生産性を大きく向上することができる。さらに、本発明によればゲートリークが小さく優れた特性を有する薄膜トランジスタを提供することができる。

【0121】（実施形態 10）前述したように、不純物を添加したソース・ドレイン領域を有する薄膜トランジスタでは、不純物の添加工程、活性化工程が生産性を律速しているという問題がある。さらに LDD 領域を有する薄膜トランジスタでは、イオン打ち込み工程が多くなることで、生産性の観点からは不要にすることが好ましいという課題もある。そして本発明はオーミックコンタクト層の代わりに適当な金属のシリサイド層を半導体膜と金属との接合に用いることで量産向きの薄膜トランジスタを提供することにある。

【0122】このような課題を解決するため、これまで述べてきたように本発明の薄膜トランジスタは、基板上に、多結晶質シリコンからなる半導体薄膜と、金属などからなる電極を具備し、また電極が前記半導体膜よりも基板に対して遠い側で両者が接触する構造の薄膜トランジスタにおいて、ゲート電極と透明基板との間にある非単結晶半導体からなる活性層とソースドレイン電極との間に約 $1 \times 10^{14} \text{ cm}^{-3}$ から約 $5 \times 10^{17} \text{ cm}^{-3}$ の間の濃度の不純物が添加された多結晶質シリコンからなる半導体膜と金属シリサイド層とを備えるようにしてもよい。また、シリサイド層を構成する金属元素としては、タングステン、モリブデン、クロム、タンタル、ニオブウム、パラジウム、ハフニウム、ジルコニウム、チタンや、これらを組み合わせた合金を用いるようにしてもよい。

【0123】このような構成を採用することにより、本発明の薄膜トランジスタでは、多量の不純物を注入するようなオーミックコンタクト層が不要となり、なおかつ良好な電気特性を得ることができる。したがって生産性が高く安価な薄膜トランジスタを提供することができる。

【0124】（実施形態 11）図 19 は本発明の薄膜トランジスタの構造の別の例を説明するための図である。図 19 (c) に概略的な断面構造を示しており、また図 19 (a)、図 19 (b) は製造工程中の構造を示している。

【0125】まず、石英からなる基板 11 上に、ジシランガスを材料ガスとして減圧 CVD 法により、膜厚 100 nm のアモルファスシリコン膜 12 i を成膜する。成膜は基板温度を約 520℃ に設定して行った。このアモルファスシリコン膜を成膜後、約 620℃ で、約 20 時間程度のアニーリングを窒素雰囲気中で行うことにより再結晶化させ poly-Si 半導体膜を得る。この poly-Si 半導体膜 12 は所定形状にパターニングされ、電界効果型薄膜トランジスタの活性層となる。なお、a-Si 半導体膜から p-Si 半導体膜への再結晶化は熱アニールに限ることなく例えばELA法により行うようにしてもよい。また基板 11 も石英に限らず、ガラス、無アルカリガラス、樹脂などからなるものを用いるようにしてもよい。とくに本発明の薄膜トランジスタは、シリサイド層による金属と半導体膜との接合構造を採用することによりドーピングした不純物の活性化温度を低温化（例えば 400℃ 程度以下）することができるので、ガラス基板や樹脂基板を用いることができる。

【0126】その後、上述同様に減圧 CVD 法により厚さ約 100 nm の酸化シリコンからなるゲート絶縁膜 13 を成膜し、さらにゲート電極 14、図示しない配線材料金属として例えばモリブデンとタンタルの合金からなる金属薄膜 14 i を約 500 nm にわたってスパッタリング法などにより作成する。成膜した金属薄膜 14 i は、ゲート電極 14 として用いるべく所定の形状に加工される。この加工は、レジストパターニングの後、4フッ化炭素と酸素ガスの混合ガスによるケミカルドライエッチング法により行うようにしてもよい。

【0127】次に poly-Si 半導体膜 12 に LDD 領域 12 c となる部分を形成すべく、ゲート電極 14 をマスクとしてゲート絶縁膜 13 をパターニングする。そしてこの状態で露出している半導体膜 12 へ不純物をイオンドーピング法などにより添加する。この例では n 型の薄膜トランジスタを作成するため、P (リン) をドーパントとして単位体積あたり $1.0 \times 10^{17} \text{ cm}^{-3}$ のドーズ量で添加する。

【0128】その後、LDD 領域 12 c に添加した不純物を活性化するために真空（減圧）中で、約 880℃、3 時間のアニーリングを行う。

【0129】さらに、酸化シリコンからなる層間絶縁膜 16 を減圧 CVD 法により膜厚約 300 nm にわたって成膜した後、LDD 領域 12 c の上部の層間絶縁膜 16、ゲート絶縁膜 13 を一部エッチング除去してコンタクトホール 16 h を形成する。エッチング条件は、 CHF_3 を流量約 300 sccm、 O_2 を流量約 30 scc

m、反応圧力約7Paでチャンバ内に導入し、投入パワーは約1kW、電極面積は径約400mmφで、エッチング時間は32分に設定した。

【0130】その後、シリサイド層15を形成するため、例えばモリブデンなどの金属層15iをスパッタリング法にて被着させる。成膜した金属層15iと半導体膜12とを例えば350℃～400℃程度に加熱して反応させ、シリサイド層15を家製する。この後、例えばリン酸、硝酸、酢酸、水からなる混酸溶液にて金属層15iをすべてエッチング除去する。すると、LDD領域12cのコンタクトホール16hに対応する部分には、モリブデンとシリコンの合金からなるシリサイド層がエッチングされずに残ることになる。

【0131】さらに、例えばアルミニウムなどの配線材料を厚さ約500nmにわたりスパッタリング法などにより成膜し、ソース電極17s、ドレイン電極17d、図示しない配線の形状にパターンニングすることにより本発明の薄膜トランジスタが完成する。

【0132】（実施形態12）図20は実施形態10により作成した薄膜トランジスタのドレイン電流-ドレイン電圧特性を示すグラフである。比較のため同時に従来構造の薄膜トランジスタの特性もあわせて示している。図20の実線で示した特性が本発明の薄膜トランジスタのドレイン電流-ドレイン電圧特性であり、破線で示した特性が従来の薄膜トランジスタの特性である。測定は、ゲート電圧10V一定としてドレイン電圧を0Vから20Vまで掃引して行った。

【0133】図からわかるように、両者の特性にはほとんど差がないことがわかった。すなわちこれは従来構造の不純物を高濃度で添加したオーミックコンタクト層に代えて、モリブデン等のシリサイド層15を採用しても特性に影響がないことを示している。しかも、ドレイン電圧が小さい部分の傾きが従来よりも急峻になっており、イントリンシックな多結晶質シリコンからなるチャネル領域（活性層）12aからソースドレイン電極までの抵抗が従来の構造よりも低くなっていることがわかった。

【0134】（実施形態13）また図21は本発明の薄膜トランジスタのドレイン電流-ゲート電圧特性を示すグラフである。図中実線で示した特性が本発明の薄膜トランジスタのドレイン電流-ゲート電圧特性、破線が従来の薄膜トランジスタの特性である。測定はゲート電圧0.05V一定とし、ドレイン電圧を-1.5Vから2.5Vまで掃引して行った。

【0135】図からわかるように両者を比較してもほとんどドレイン電流-ゲート電圧特性に差がないことがわかった。すなわちこれも実施形態11と同様に、従来構造の不純物を高濃度で添加したオーミックコンタクト層に代えてモリブデンなどのシリサイド層を用いても特性に影響がないことを示している。

【0136】（実施形態14）実施形態11では熱アニールによりa-Si半導体膜をpoly-Siへ再結晶化した例を説明したが、ELA法によりpoly-Si半導体膜を得るようにしてもよい。実際に、平行平板型プラズマCVD装置によりa-Si半導体膜12iを成膜し、ELA法によるレーザアニール法によりpoly-Si半導体膜12を形成した。このときゲート絶縁膜13についてもやはり平行平板プラズマ型CVD装置を用いて酸化膜を成膜して用いた。また打ち込んだ不純物として砒素原子を用い、ドーズ量は同じとした。シリサイド層15を形成する金属として、実施形態11ではモリブデンを用いたが、この例ではタングステンを用いた。

【0137】このように作成した薄膜トランジスタ試料について実施形態12、実施形態13と同様の特性を測定したところ、良好なコンタクト特性が得られることが確認された。

【0138】（実施形態15）つぎに、LDD領域12cに添加する不純物のドーズ量を変化させた場合の薄膜トランジスタ特性変化について説明する。

【0139】LDD領域12cに添加する不純物としてはPを用い、打ち込む不純物の濃度を単位体積あたり、 $1 \times 10^{13} \text{ cm}^{-3}$ 、 $3 \times 10^{13} \text{ cm}^{-3}$ 、 $1 \times 10^{14} \text{ cm}^{-3}$ 、 $3 \times 10^{14} \text{ cm}^{-3}$ 、 $1 \times 10^{15} \text{ cm}^{-3}$ 、 $3 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $3 \times 10^{16} \text{ cm}^{-3}$ 、 $1 \times 10^{17} \text{ cm}^{-3}$ 、 $3 \times 10^{17} \text{ cm}^{-3}$ 、 $1 \times 10^{18} \text{ cm}^{-3}$ 、 $3 \times 10^{18} \text{ cm}^{-3}$ 、 $1 \times 10^{19} \text{ cm}^{-3}$ 、 $2 \times 10^{19} \text{ cm}^{-3}$ 、 $5 \times 10^{19} \text{ cm}^{-3}$ 、 $1 \times 10^{20} \text{ cm}^{-3}$ 、 $2 \times 10^{20} \text{ cm}^{-3}$ と変化させて半導体膜12に添加（イオン注入）した。またシリサイド層を形成する金属としてはタンタルを用いた。LDD領域に添加した不純物の活性化はレーザアニール法により行なった。

【0140】これ以外の工程は前述同様にして薄膜トランジスタを作成しそのコンタクト特性を評価したところ、打ち込んだ不純物濃度が $1 \times 10^{13} \text{ cm}^{-3}$ から $5 \times 10^{19} \text{ cm}^{-3}$ までは上述した実施形態と同様に、良好なコンタクト特性が得られた。しかしながら、不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 、 $2 \times 10^{20} \text{ cm}^{-3}$ にした薄膜トランジスタではソース・ドレイン間の電圧を10V以上にすると急激に特性が悪化してしまい、さらに $1 \times 10^{21} \text{ cm}^{-3}$ 、 $3 \times 10^{21} \text{ cm}^{-3}$ では薄膜トランジスタのON電流が十分に得られないことがわかった。したがって、例えば図19に例示した本発明の薄膜トランジスタにおいて良好なコンタクト特性を得るためには、LDD領域に添加する不純物の濃度を約 $1 \times 10^{13} \text{ cm}^{-3}$ から約 $5 \times 10^{19} \text{ cm}^{-3}$ に設定するようにしてもよい。

【0141】（実施形態16）実施形態15では不純物をLDD領域12cに添加する際に、質量分離を行なうイオン注入を行った例を説明したが、質量分離を行わないイオンドーピング法により不純物を添加するようにしてもよい。実際にイオンドーピング法により不純物を

半導体膜に導入し、またシリサイドを形成する金属としてモリブデンとタングステンの合金を用いて薄膜トランジスタを作成した。モリブデン-タングステン合金はモリブデン60%タングステン40%(モル分率)の合金ターゲットを用いてスパッタリング法で成膜した。

【0142】このように作成した薄膜トランジスタの特性を上述同様に評価したところ、良好なコンタクト特性を得ることができた。

【0143】さらにシリサイドをモリブデン-タンタル合金に代えて同様に薄膜トランジスタを作成し、その特性を上述同様に評価したところ、良好なコンタクト特性を得ることができた。

【0144】図22はシリサイドの形成する金属を代えて作成した薄膜トランジスタのドレイン電流-ドレイン電圧特性を示すグラフである。ここでは実施形態14、実施形態15、実施形態16に例示したようにシリサイドの構成金属をTa、W、Mo-W合金、Mo-Ta合金とした場合のドレイン電流-ドレイン電圧特性を示している。また比較のため、シリサイド層を形成せずに高濃度不純物が添加されたソース・ドレイン領域を形成した従来構造の薄膜トランジスタのドレイン電流-ドレイン電圧特性も示した。

【0145】図からわかるように、いずれの金属を用いてシリサイド層15を形成した場合でも従来と同等またはそれ以上の特性を実現することができる。

【0146】(実施形態17)実施形態11乃至実施形態16と同様にLDD部分17、18に不純物を打ち込んだ後、引き続きイオン注入法を用いてチタン原子を打ち込んだ。チタン原子は表面から20nmの深さのところにピークを有するように加速電圧、ドーズ量を調節して注入した。その後、LDD領域12cの活性化をレーザーアニール法で行なった。この結果、上述の結果と同様に良好なコンタクト特性を得ることができた。図23は注入する金属をハフニウム、ジルコニウム、パラジウム、ニオブウムに代えて作成した薄膜トランジスタのドレイン電流-ドレイン電圧特性を示すグラフである。このように半導体膜に不純物を導入した後、金属を注入することにより従来よりも優れた特性を実現することができる。

【0147】(実施形態18)上述した例ではコンタクトとなるシリサイド層15を、多結晶シリコンと金属層を反応させて形成する例を説明したが、シリサイド層はシリサイドターゲットを用いたスパッタリング法により形成するようにしてもよい。実際に、タングステンシリサイド、モリブデンシリサイド、チタンシリサイドを用いたスパッタリング法によりシリサイド層15を形成した。その後、LDD領域12cの活性化をレーザーアニール法により行なった。上述の実施形態同様に薄膜トランジスタの特性を評価したところ良好なコンタクト特性を得ることができた。

【0148】このように本発明の薄膜トランジスタでは、シリサイド層による半導体膜と動続との接合構造を採用することにより、多量の不純物を注入して形成したオーミックコンタクト層が不要となり、なおかつ良好な電気特性を得ることができる。したがって半導体膜への不純物の添加工程、添加した不純物の活性化工程といった従来の多結晶質シリコンを半導体膜として用いた薄膜トランジスタの生産性を大きく向上することができる。

【0149】

10 【発明の効果】以上説明したように、本発明の薄膜トランジスタによれば薄膜トランジスタの製造プロセス温度を低下させ、適用応用製品の範囲を広げるとともに安価な材料を使用することで、コストを低減することができる。また製造プロセスの低温化を実現することにより例えば液晶表示装置に応用する場合、安価なガラス基板、樹脂基板を用いることができる。また、ガラスの変形を小さくすることができるので、合わせ精度の厳しい装置、例えば高精細な液晶表示装置などを製造する場合にも、ミスアライメントの発生を防止することができる。

20 さらに、 n^+ 層、 p^+ 層を作成するために必要な高価なドーピング装置を必要としないので、製造設備を簡略にすることができる。また活性化のように制御の困難なプロセスを用いる必要がないので、再現性に優れた半導体素子を作成することができる。

【0150】また本発明の薄膜トランジスタでは、オーミックコンタクト層として多量の不純物を注入してある層が不要なおかつ良好な電気特性を得ることができ、結果として安価な薄膜トランジスタを提供することができる。

30 【0151】さらに、多結晶質シリコンからなる半導体膜を用いた薄膜トランジスタによりそのスイッチングおよび駆動回路が構成されている液晶表示装置において、LDD或いはオフセット構造を有したNMOS薄膜トランジスタのソース・ドレイン領域をシリサイドで形成することにより、400℃程度以下の熱プロセスを上限としたプロセスで、薄膜トランジスタの特性として十分な程度までソース・ドレイン抵抗を低減することができる。さらに、本発明によるプロセスに基づき形成される半導体素子は、ゲートリーク特性に優れている。

40 【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの構造の例を概略的に示す断面図。

【図2】本発明の薄膜トランジスタの製造方法の例を説明するための図。

【図3】本発明の薄膜トランジスタの製造方法の例を説明するための図。

【図4】ゲート電極とpoly-Si半導体膜との関係を説明するための図。

50 【図5】本発明の薄膜トランジスタの動作を説明するための図。

【図 6】本発明の薄膜トランジスタの別の例を説明するための図。

【図 7】半導体膜のコンタクト部のテーパを作成する方法の例を説明するための図。

【図 8】本発明の薄膜トランジスタを CMOS に適用する場合の製造方法の例を説明するための図。

【図 9】本発明の薄膜トランジスタを CMOS に適用する場合の製造方法の例を説明するための図。

【図 10】本発明の薄膜トランジスタを CMOS に適用する場合の製造方法の例を説明するための図。

【図 11】本発明の薄膜トランジスタを CMOS に適用する場合の製造方法の例を説明するための図。

【図 12】本発明の薄膜トランジスタを CMOS に適用する場合の製造方法の例を説明するための図。

【図 13】本発明の薄膜トランジスタの製造方法の別の例を説明するための図。

【図 14】本発明の薄膜トランジスタの製造方法の別の例を説明するための図。

【図 15】本発明のシリサイド層をコンタクトとして採用した薄膜トランジスタの構造の例を示す図。

【図 16】各プロセスに対応したゲート耐圧を測定した結果を示すグラフ。

【図 17】ゲート耐圧が 50 V 以上となる薄膜トランジスタの発生頻度を P のピーク濃度に対してプロットしたグラフ。

【図 18】シリサイド層と p-Si 半導体膜中に添加された不純物の濃度プロファイルの例を示す図。

【図 19】本発明の薄膜トランジスタの構造の別の例を説明するための図。

【図 20】実施形態 10 により作成した薄膜トランジスタのドレイン電流ードレイン電圧特性を示すグラフ。

【図 21】本発明の薄膜トランジスタのドレイン電流ーゲート電圧特性を示すグラフ。

【図 22】シリサイドの形成する金属を代えて作成した薄膜トランジスタのドレイン電流ードレイン電圧特性を示すグラフ。

【図 23】注入する金属をハフニウム、ジルコニウム、パラジウム、ニオブウムに代えて作成した薄膜トランジスタのドレイン電流ードレイン電圧特性を示すグラフ。

【図 24】本発明の薄膜トランジスタの構造の例を概略的に示す図。

【図 25】本発明の薄膜トランジスタの構造の例を概略的に示す図。

【図 26】非アニールガラスのシュリンク量を熱処理温度により評価した結果を示すグラフ。

【図 27】薄膜トランジスタの特性の活性化プロセス温度への依存性を示す図。

【図 28】活性化温度と半導体膜のシート抵抗との関係を示すグラフ。

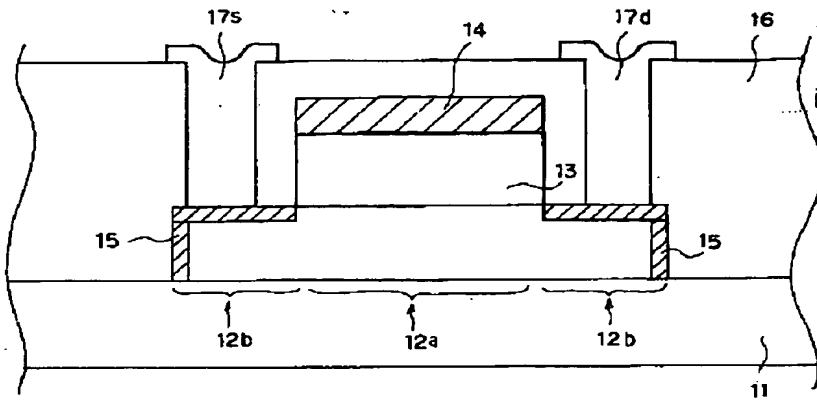
【図 29】多結晶シリコンからなる半導体膜をチャネル半導体膜として用いた従来の薄膜トランジスタの構造の例を概略的に示す断面図。

【図 30】従来の薄膜トランジスタの断面構造を概略的に示す図。

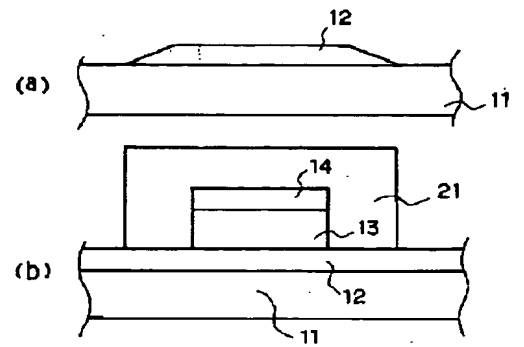
【符号の説明】

- 1 1 ……基板
- 1 2 ……半導体膜
- 1 2 a ……チャネル領域
- 1 2 c ……LDD 領域
- 1 2 s ……ソース領域
- 1 2 d ……ドレイン領域
- 1 2 e ……ソース領域
- 1 2 f ……ドレイン領域
- 1 3 ……ゲート絶縁膜
- 1 4 ……ゲート電極
- 1 5 ……シリサイド層
- 1 6 ……層間絶縁膜
- 1 7 s ……ソース電極
- 1 7 d ……ドレイン電極
- 1 7 h ……コンタクトホール
- 30 1 1 1 ……基板
- 1 1 2 ……半導体膜
- 1 1 2 a ……第 1 の領域
- 1 1 2 c ……第 2 の領域
- 1 1 2 b ……第 3 の領域
- 1 1 3 ……ゲート絶縁膜
- 1 1 4 ……ゲート電極
- 1 1 5 ……シリサイド層
- 1 1 6 ……層間絶縁膜
- 1 1 7 s ……ソース電極
- 40 1 1 7 d ……ドレイン電極

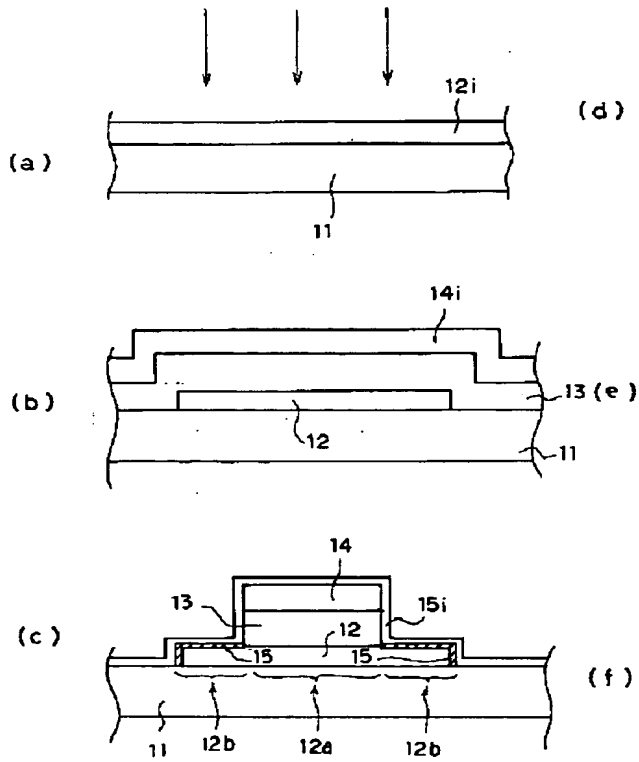
【図 1】



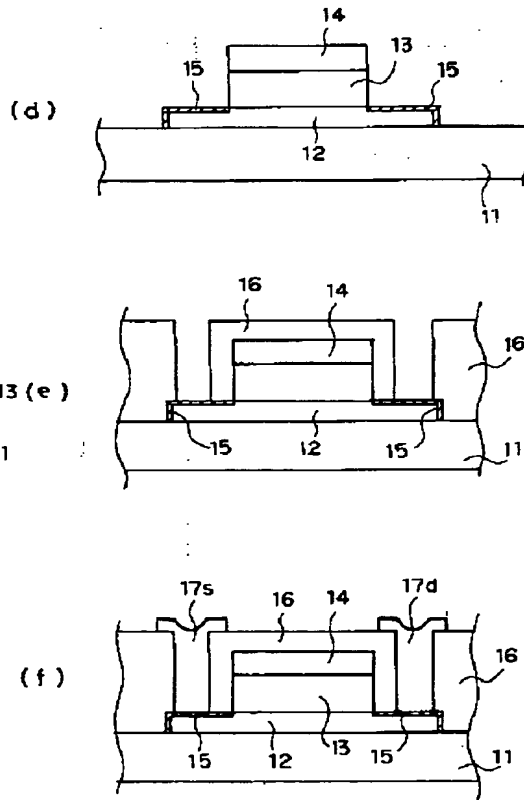
【図 7】



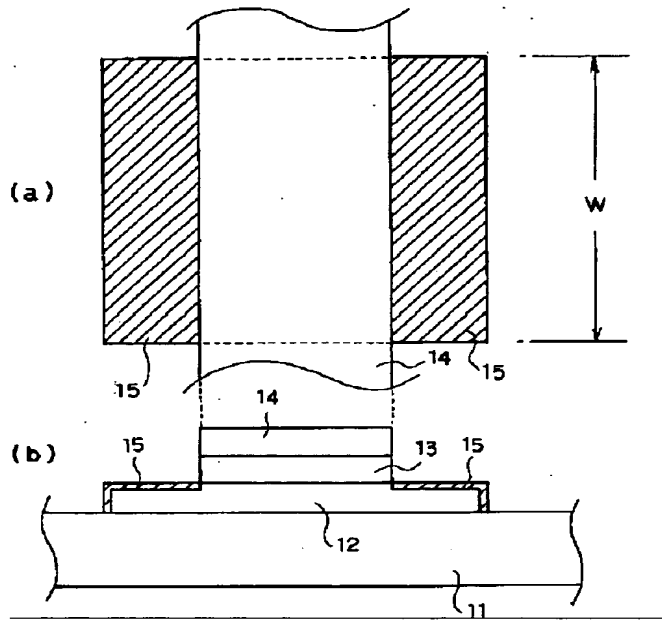
【図 2】



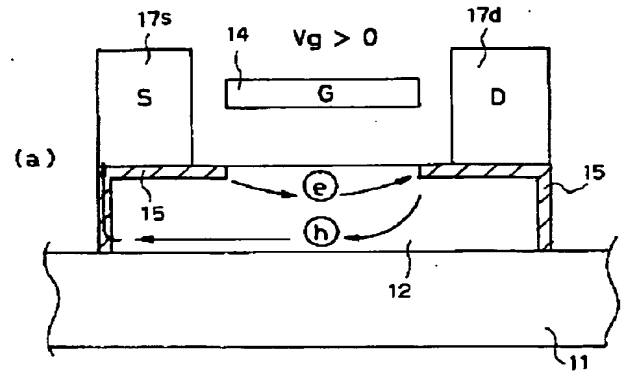
【図 3】



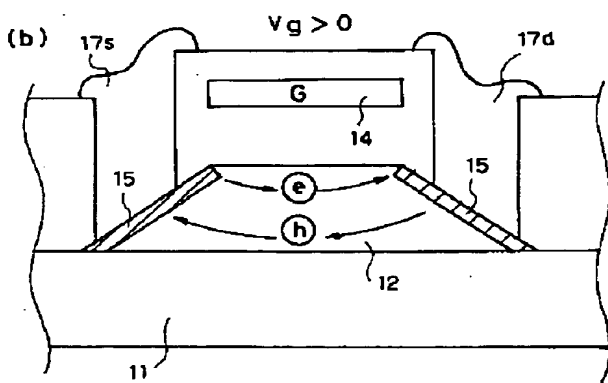
【図 4】



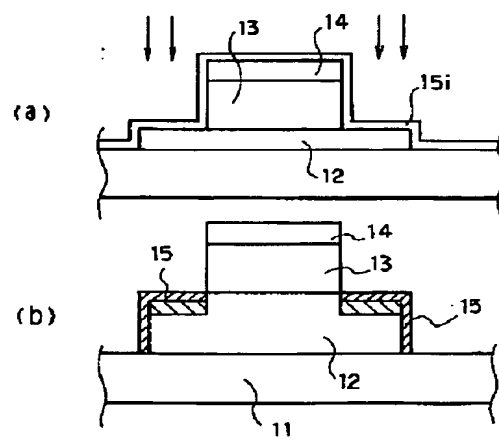
【図 5】



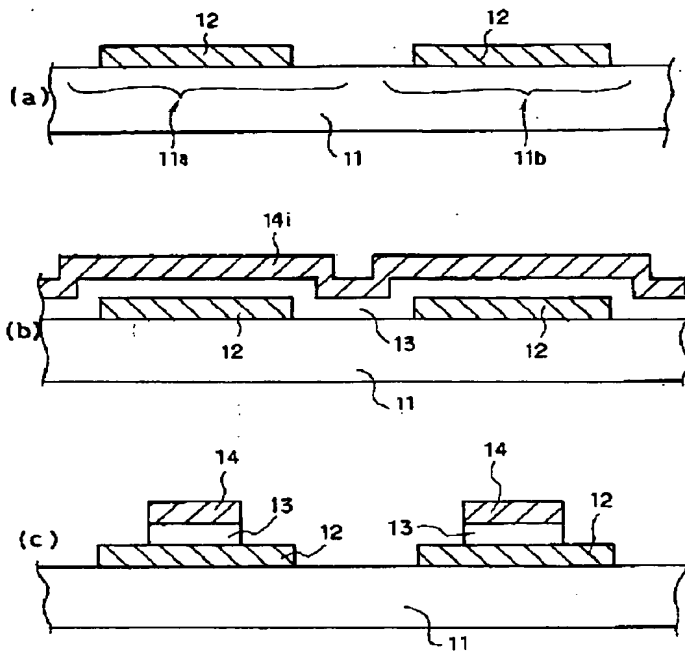
【図 6】



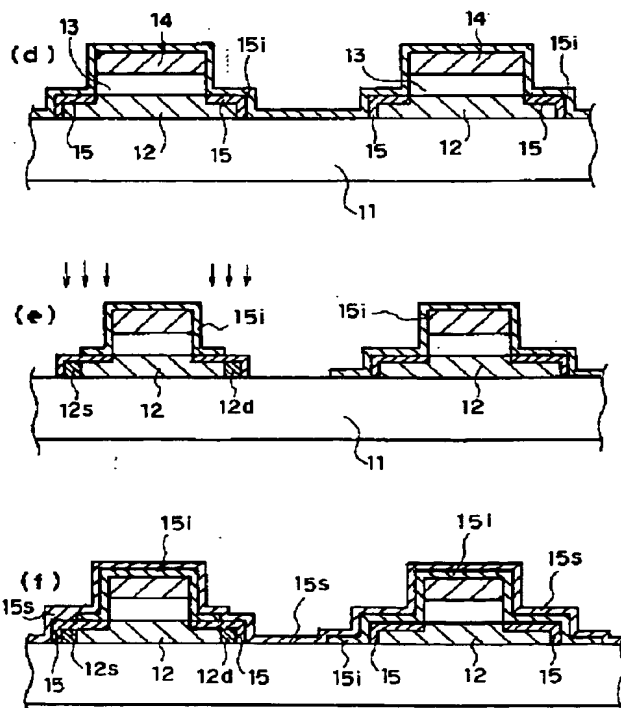
【図 8】



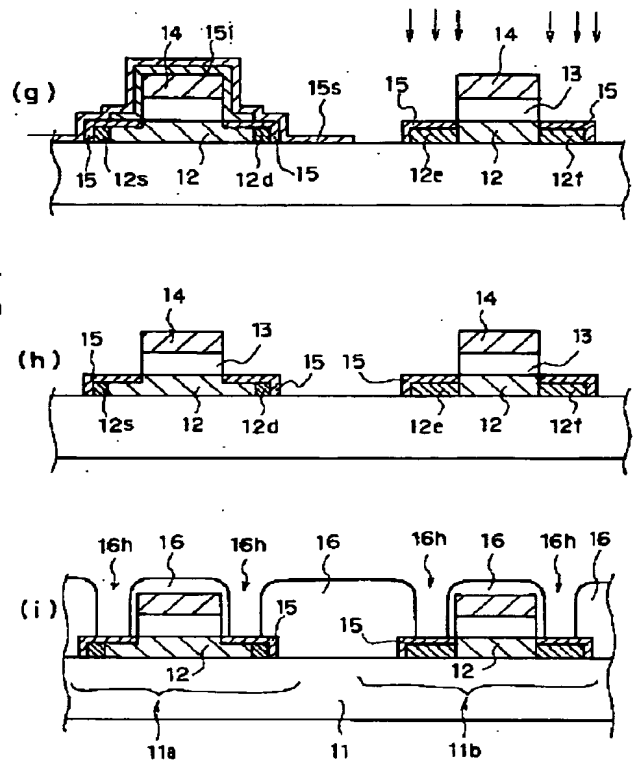
【図 9】



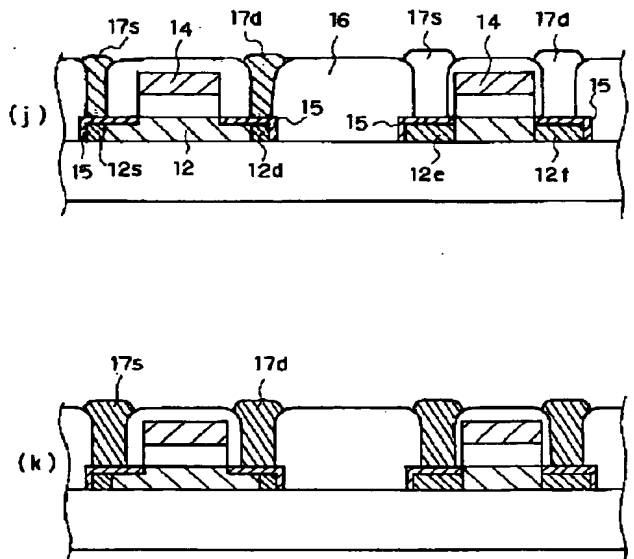
【図 10】



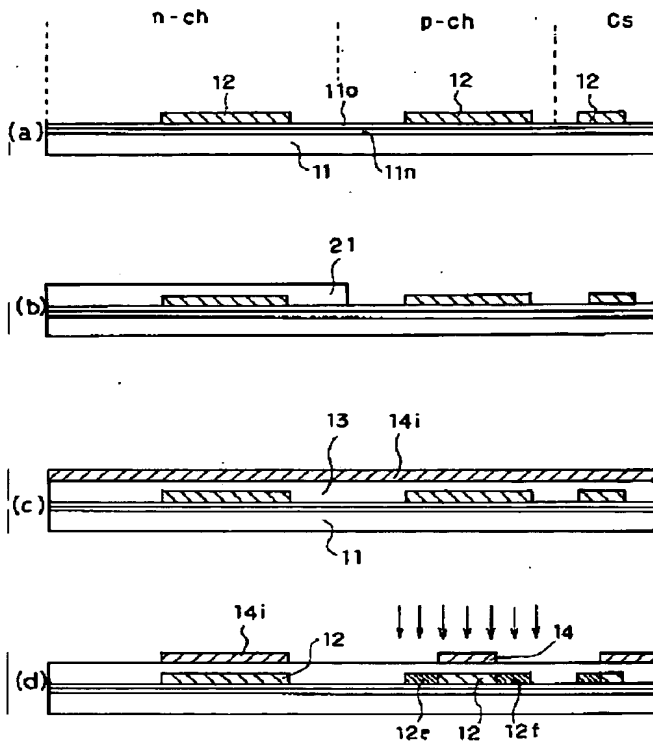
【図 11】



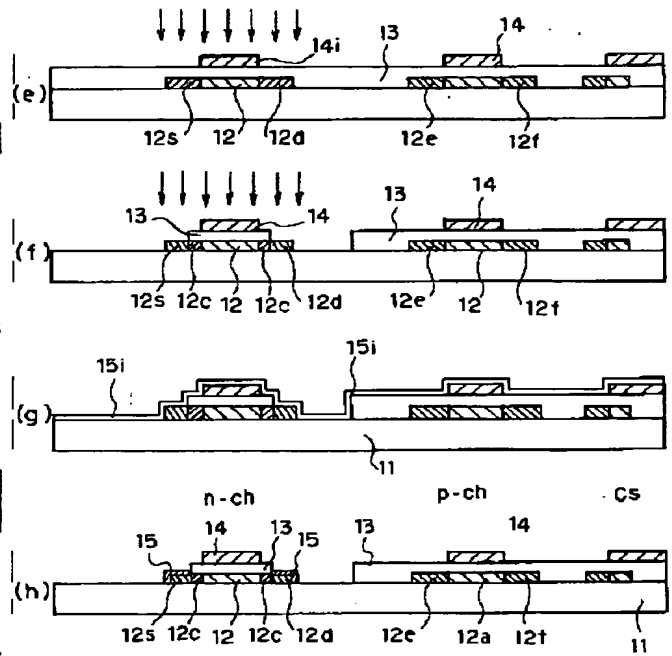
【図 12】



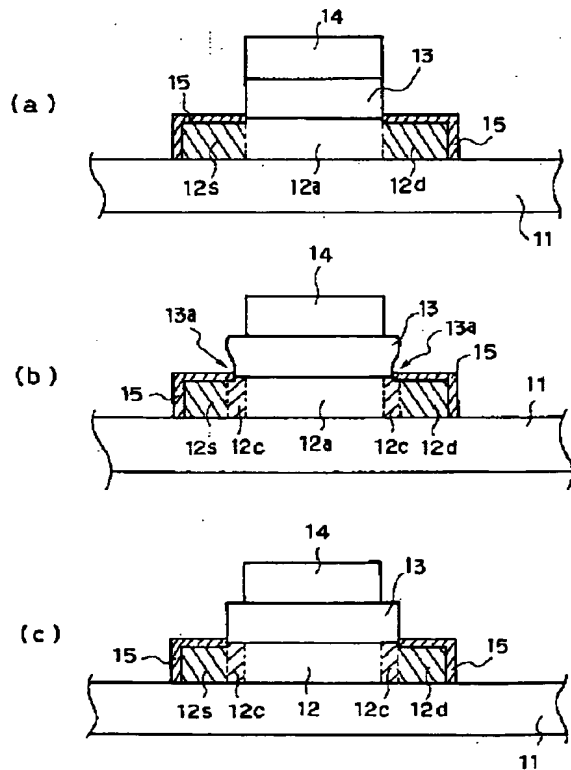
【図 1 3】



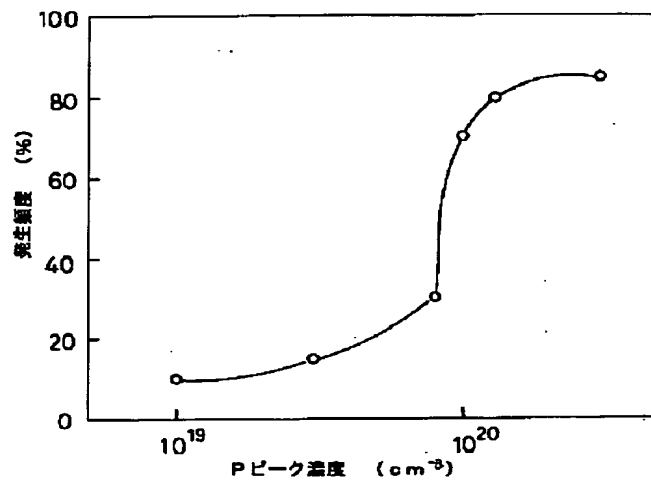
【図 1 4】



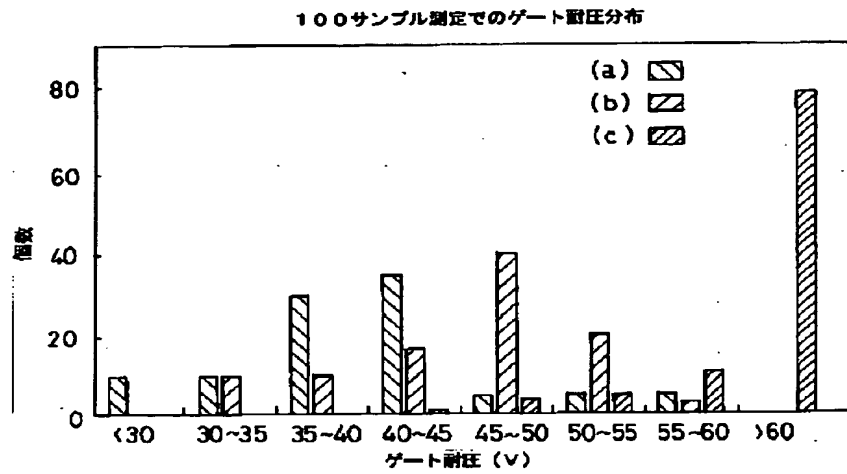
【図 1 5】



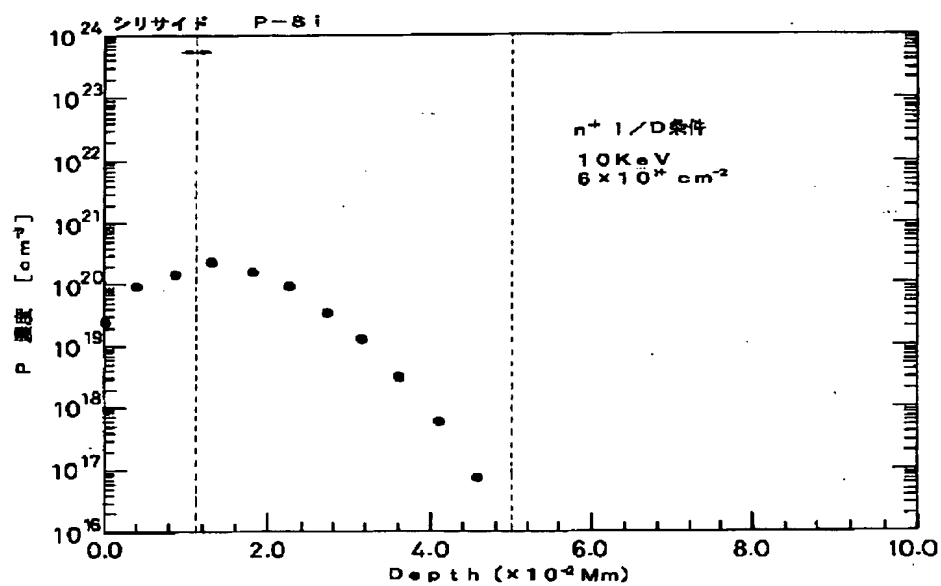
【図 1 7】



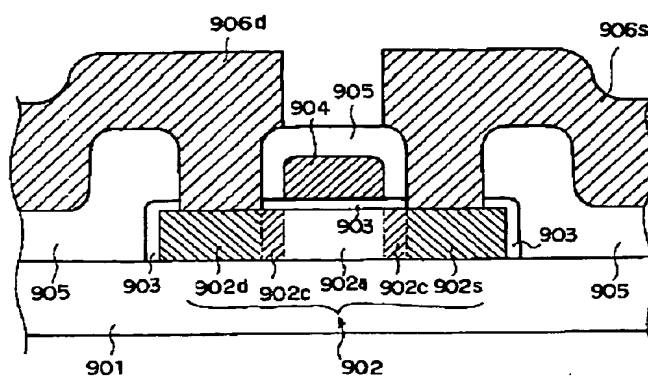
【図 1 6】



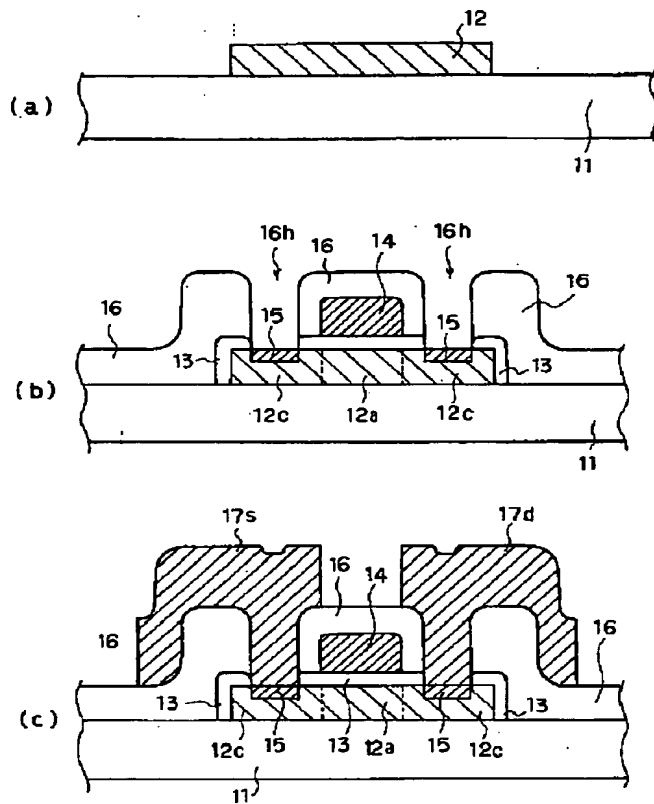
【図 1 8】



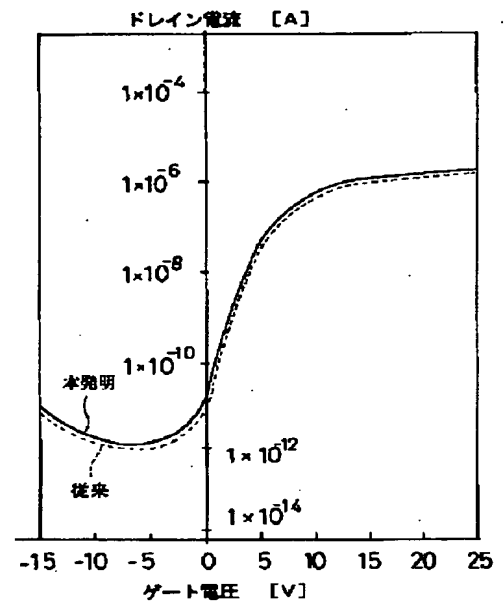
【図 2 9】



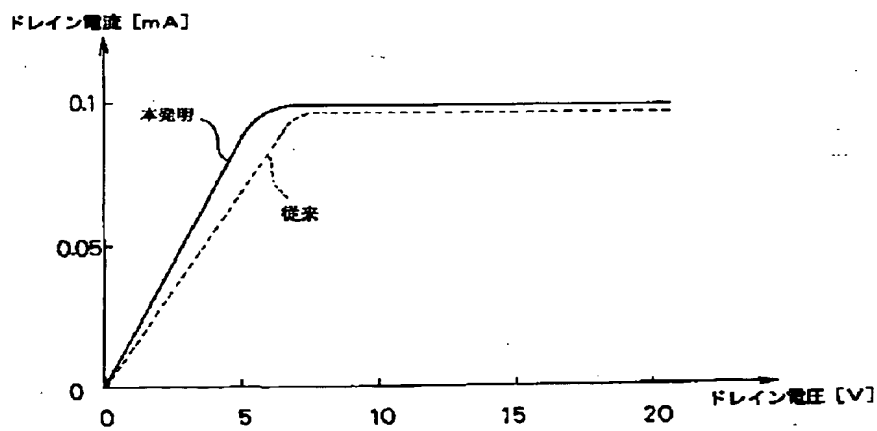
【図 19】



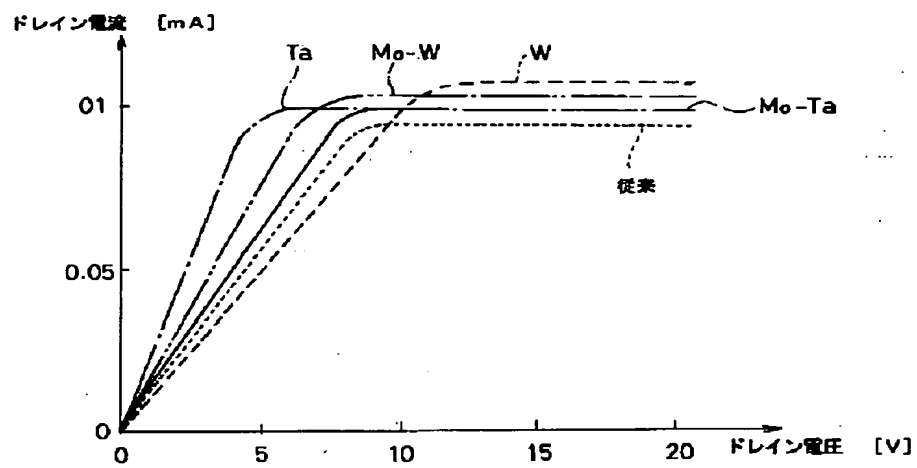
【図 21】



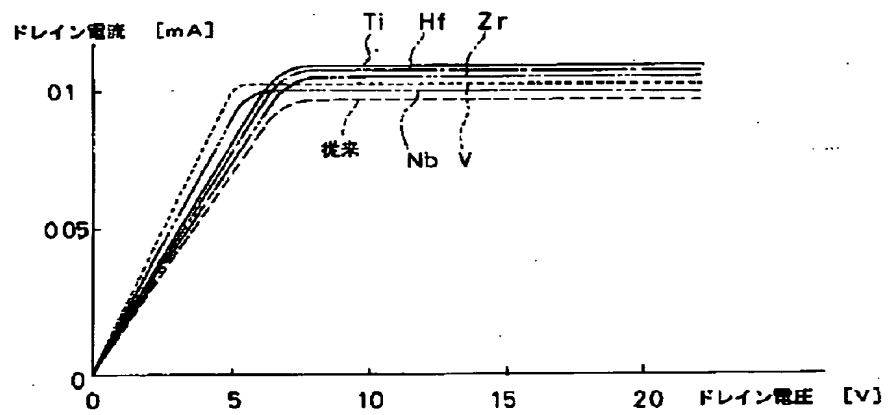
【図 20】



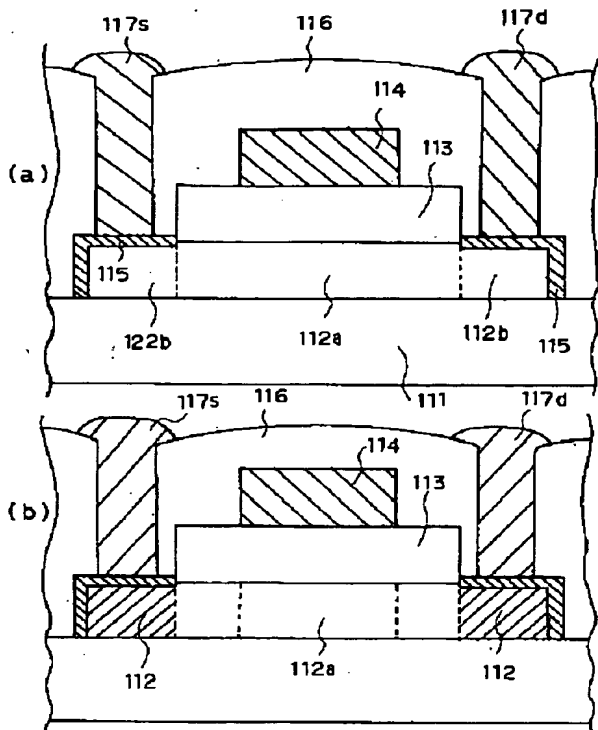
【図 2 2】



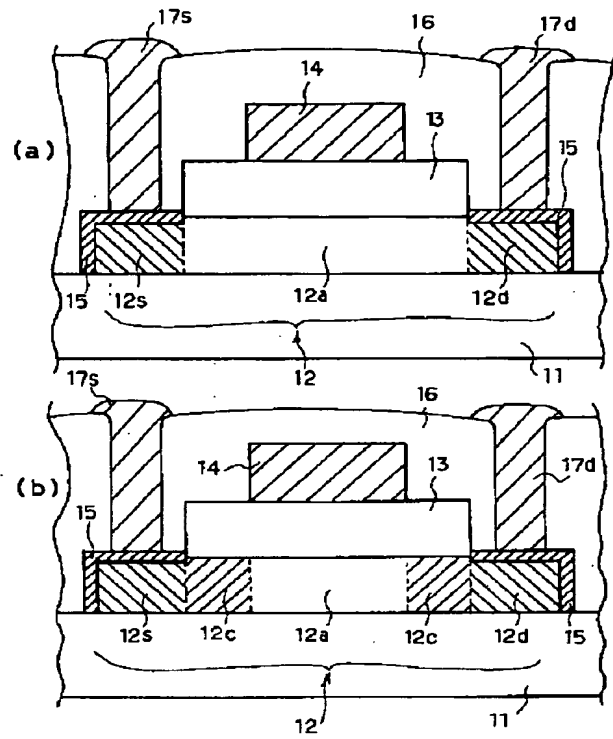
【図 2 3】



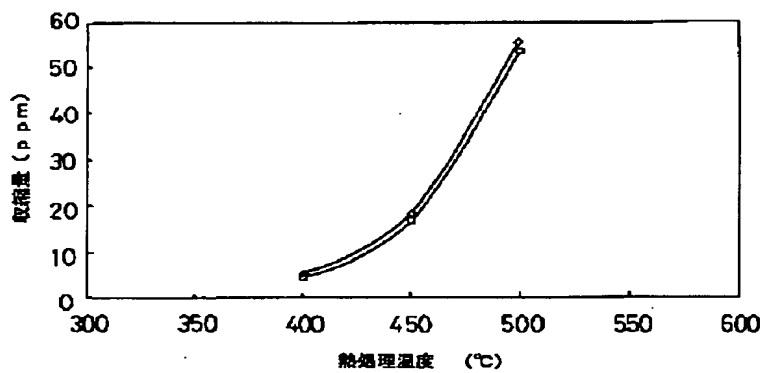
【図 2 4】



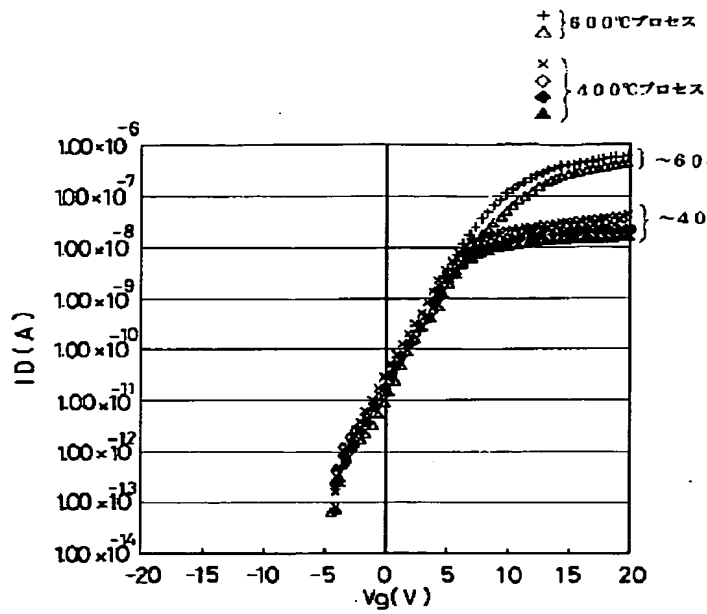
【図 2 5】



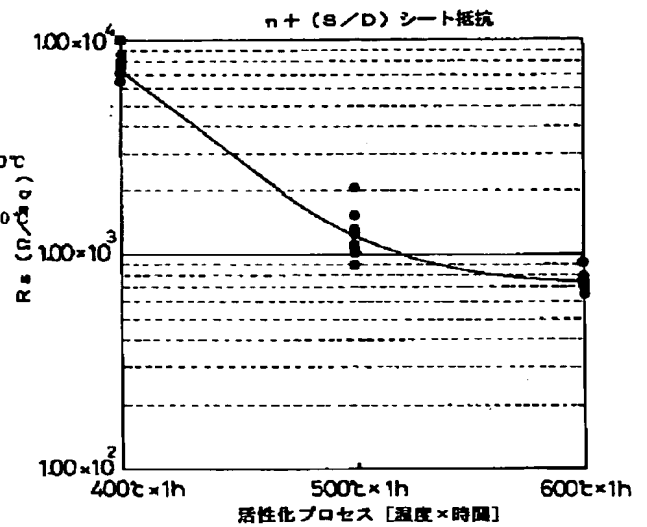
【図 2 6】



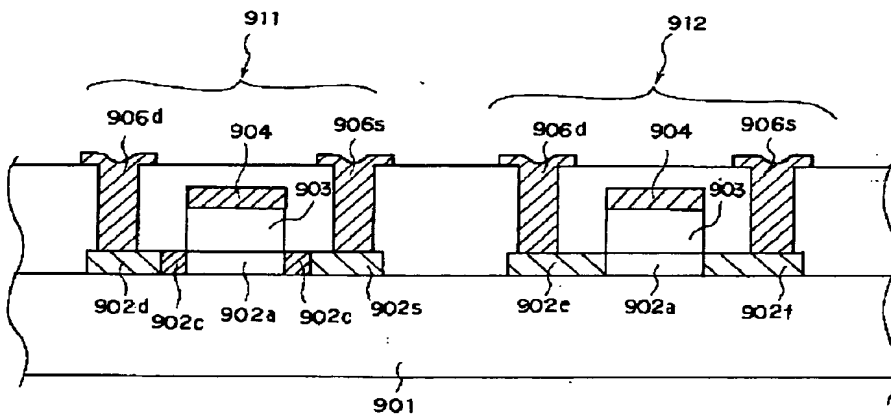
【図 27】



【図 28】



【図 30】



フロントページの続き

(72)発明者 水谷 嘉久
神奈川県横浜市磯子区新磯子町 3 3 株式
会社東芝生産技術研究所内

(72)発明者 鈴木 幸治
神奈川県横浜市磯子区新磯子町 3 3 株式
会社東芝生産技術研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.